

日本国特許庁
JAPAN PATENT OFFICE

18.09.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月19日
Date of Application:

出願番号 特願2002-273370
Application Number:
[ST. 10/C]: [JP 2002-273370]

出願人 シャープ株式会社
Applicant(s):

RECD 06 NOV 2003

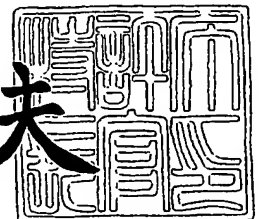
W. J. F. C.

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年10月23日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 185433
【提出日】 平成14年 9月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/00
H01L 21/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 洗 暢俊

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩田 浩

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【選任した代理人】

【識別番号】 100122286

【弁理士】

【氏名又は名称】 仲倉 幸典

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ機能体を備えたメモリおよびその製造方法、半導体装置並びに電子機器

【特許請求の範囲】

【請求項 1】 第 1 の電極と第 2 の電極との間に、絶縁体中に複数の導電性微粒子を含むメモリ機能体が挟まれ、

上記第 1 の電極と第 2 の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、上記絶縁体中に上記導電性微粒子が分布していることを特徴とするメモリ。

【請求項 2】 請求項 1 に記載のメモリにおいて、

上記絶縁体中に、4 個の導電性微粒子が互いに隣り合い、かつ互いに離間している単位領域が複数存在し、

上記 4 個の導電性微粒子のうち第 1、第 2 の微粒子がそれぞれ上記第 1、第 2 の電極に対して最も近くに位置し、残りの第 3、第 4 の微粒子がそれぞれ上記絶縁体の厚さ方向に関して上記第 1 の微粒子と第 2 の微粒子との間に位置し、

上記第 1 の微粒子と第 3 の微粒子との間隔を d_{13} 、上記第 2 の微粒子と第 3 の微粒子との間隔を d_{23} 、上記第 1 の微粒子と第 4 の微粒子との間隔を d_{14} 、上記第 2 の微粒子と第 4 の微粒子との間隔を d_{24} としたとき、

$d_{13} < d_{14}$ かつ $d_{23} < d_{24}$ なる関係を満たすことを特徴とするメモリ。

【請求項 3】 請求項 1 に記載のメモリにおいて、

上記絶縁体中に、上記導電性微粒子として粒径が 0.4 nm 以上 4 nm 以下のものが存在することを特徴とするメモリ。

【請求項 4】 請求項 1 に記載のメモリにおいて、

上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在することを特徴とするメモリ。

【請求項 5】 請求項 1 に記載のメモリにおいて、

上記メモリ機能体に流れる電流の向きを定めるように、整流作用を有する整流

機能体が上記メモリ機能体と電氣的に直列に接続されていることを特徴とするメモリ。

【請求項 6】 請求項 1 に記載のメモリにおいて、

上記メモリ機能体を選択するための選択トランジスタが上記メモリ機能体と電氣的に直列に接続されていることを特徴とするメモリ。

【請求項 7】 請求項 1 中に記載のメモリ機能体を含むメモリセルを少なくとも 2 つ備え、

上記 2 つのメモリセルのメモリ機能体をなす絶縁体は一体に連続して形成され

上記 2 つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されており、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されていることを特徴とするメモリ。

【請求項 8】 請求項 1 中に記載のメモリ機能体と、上記メモリ機能体を選択するための選択トランジスタと、上記メモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルを少なくとも 5 つ備え、

上記各メモリセルは列方向に延びるビットラインとソースラインとの間に接続され、上記各メモリセルの選択トランジスタは行方向に延びるワードラインによって制御されるようになっており、

上記 5 つのメモリセルのうち第 1 のセルに対して、行方向に隣り合って第 2 および第 4 のセルが配置されるとともに、列方向に隣り合って第 3 および第 5 のセルが配置され、

第 1 のセルと第 2 のセルについてビットラインは共通、ワードラインは共通、かつソースラインは非共通であり、

第 1 のセルと第 3 のセルについてビットラインは共通、ソースラインは共通、かつワードラインは非共通であり、

第 1 のセルと第 4 のセルについてソースラインは共通、ワードラインは共通、かつビットラインは非共通であり、

第 1 のセルと第 5 のセルについてワードラインは共通、第 1 のセルのソースラ

インと第5のセルのビットラインは共通、かつ第1のセルのビットラインと第5のセルのソースラインは共通であることを特徴とするメモリ。

【請求項9】 請求項1に記載のメモリにおいて、

上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されていることを特徴とするメモリ。

【請求項10】 請求項9に記載のメモリにおいて、

上記メモリ機能体を含むメモリセルが上記基板に対して平行な方向に少なくとも2つ配置され、

上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体をなす絶縁体は一体に連続して形成されていることを特徴とするメモリ。

【請求項11】 請求項9に記載のメモリにおいて、

上記メモリ機能体とこのメモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルが、上記基板に対して平行な方向に少なくとも2つ配置され、

上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体をなす絶縁体および／または整流機能体は一体に連続して形成されていることを特徴とするメモリ。

【請求項12】 請求項1に記載のメモリを有するメモリ回路を備える半導体装置。

【請求項13】 請求項12に記載の半導体装置を備える電子機器。

【請求項14】 請求項1に記載のメモリを製造するメモリの製造方法であって、

上記第1の電極または第2の電極の一方の上に上記絶縁体を形成する工程と、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入する工程とを含むことを特徴とするメモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁体中に複数の導電性微粒子を含むメモリ機能体を備えたメモリ

およびその製造方法に関する。また、そのようなメモリを備えた半導体装置および電子機器に関する。

【0002】

【従来の技術および発明が解決しようとする課題】

近年、ナノメートルサイズの微粒子を用いて超微小な電子装置、例えば単電子トランジスタや単電子メモリ、ナノドットやナノクリスタルとよばれる微粒子をゲート絶縁膜に含むメモリが提案されている。この種のメモリは、クーロンブロッケイド現象などの量子サイズ効果を利用して低消費電力で動作することが期待されている。

【0003】

しかしながら、従来の単電子トランジスタや単電子メモリでは、まさに電子1個または数個を格納することのできるナノサイズのドットを作製し、電子数個の流れを検出するために、非常に微細な加工を要し、集積化が困難な状況にある。また、多くの場合、熱揺らぎによる誤動作を抑制するため極低温にする必要があった。このため、クーロンブロッケイド現象等を用いたメモリ素子は、実用性に乏しく、実験レベルにとどまっている。

【0004】

また、微粒子を浮遊ゲートに用いた従来のメモリ素子は、図28に示すように、P型シリコン基板2801中に形成されたソース・ドレイン領域2806の間のチャネル領域上に、熱酸化で形成した厚さ2nmの酸化膜2802と、その上に形成された粒径5nmのシリコン微粒子2803と、そのシリコン微粒子を覆うように形成された酸化膜2804と、ゲート電極となるポリシリコン層2805と、より構成されている。

【0005】

上記シリコン微粒子2803を絶縁膜中に形成する方法としては、シリコン熱酸化膜2802上にLPCVD（低圧化学的気相堆積）装置によってアモルファスシリコンを堆積した後アニール処理してシリコン微粒子2803を形成し、さらにシリコン微粒子2803の上にCVD（化学的気相堆積）法によってシリコン酸化膜2804を堆積する方法が提案されている（例えば、特許文献1参照。

）。

【0006】

【特許文献1】

特開 2000-22005号公報（段落0015、図1）

【0007】

このように微粒子を絶縁体中に形成する手法としてはCVDや蒸着、MBE（分子線エピタキシ）などを用いて基板上に結晶を作成する方法や、薄膜を形成したのちエッチングなどの微細加工技術を用いる方法が提案されている。このような方法では微粒子を形成したのち絶縁体層をその上に積層している。

【0008】

この種のメモリ素子は微粒子の面密度が不十分なことや、微粒子のおおきさの微小化が不十分なことが多く、それゆえメモリウィンドウが狭い、あるいはばらつきが大きい、あるいは保持特性が悪いといった欠点があった。

【0009】

面密度をあげるためには、CVDや蒸着、MBEなどを用いて微粒子を形成する方法では、一度の工程では一平面上にしか作成できないので、何度も同様の工程を繰り返す必要があった。

【0010】

また、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法では、微粒子の大きさと微粒子間の距離を同時にナノメートルオーダーまで縮小することは極めて困難である。

【0011】

そこで、この発明の課題は、絶縁体中に複数の導電性微粒子を含むメモリ機能体を備えたメモリであって実用性があるものを提供することにある。

【0012】

また、この発明の課題は、そのようなメモリを生産性良く作製できるメモリの製造方法を提供することにある。

【0013】

また、この発明の課題は、そのようなメモリを備えた半導体装置および電子機

器を提供することにある。

【0014】

【課題を解決するための手段】

上記課題を解決するため、この発明のメモリは、第1の電極と第2の電極との間に、絶縁体中に複数の導電性微粒子を含むメモリ機能体が挟まれている。そして、上記第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、上記絶縁体中に上記導電性微粒子が分布していることを特徴とする。

【0015】

本明細書において、「導電性微粒子」とは、微粒子自体が導電性を有するものを指す。したがって、「導電性微粒子」は金属または半導体からなるものを含み、さらには、導電性を有する限り、有機物質からなるものをも含む。また、「微粒子」とは粒径が $1\mu\text{m}$ 未満の粒子を指す。

【0016】

メモリの「記憶状態」としては、例えば論理1に相当する書込状態と、論理0に相当する消去状態とが挙げられる。

【0017】

この発明のメモリでは、メモリ機能体の絶縁体中に分布した複数の導電性微粒子のお蔭で、第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化する。つまり、第1の電極と第2の電極との間に所定の電圧（書込用または消去用）を印加して上記メモリ機能体を通して電流を流すことによって、或る導電性微粒子に1個乃至数個の電荷が蓄積され、その蓄積された電荷が電流経路中の電子に対してクーロン相互作用を及ぼす。したがって、導電性微粒子に蓄積された電荷の有無や多寡に応じて、上記メモリ機能体を通して流れる電流の大小が変化する。そして、第1の電極と第2の電極との間に所定の電圧（読出用）を印加したとき、上記メモリ機能体を通して流れる電流の大小に応じて記憶状態が判別される。このメモリでは、上記メモリ機能体を通して流れる電流の大小を、常

温で比較的低電圧で電氣的に制御して変化させることができる。したがって、このメモリは実用性がある。

【0018】

一実施形態のメモリでは、上記絶縁体中に、4個の導電性微粒子が互いに隣り合い、かつ互いに離間している単位領域が複数存在する。そして、上記4個の導電性微粒子のうち第1、第2の微粒子がそれぞれ上記第1、第2の電極に対して最も近くに位置し、残りの第3、第4の微粒子がそれぞれ上記絶縁体の厚さ方向に関して上記第1の微粒子と第2の微粒子との間に位置している。ここで、この一実施形態の抵抗変化機能体は、上記第1の微粒子と第3の微粒子との間隔を d_{13} 、上記第2の微粒子と第3の微粒子との間隔を d_{23} 、上記第1の微粒子と第4の微粒子との間隔を d_{14} 、上記第2の微粒子と第4の微粒子との間隔を d_{24} としたとき、 $d_{13} < d_{14}$ かつ $d_{23} < d_{24}$ なる関係を満たすことを特徴とする。

【0019】

この一実施形態のメモリでは、第1の電極と第2の電極との間に十分な電位差を与えた場合に、電流は主に、第1の微粒子と第3の微粒子と第2の微粒子とを介した経路を流れる。ここで、第4の微粒子に蓄積された電荷によって、第1の微粒子と第3の微粒子と第2の微粒子とを介した電流経路中の電子に対してクーロン相互作用を及ぼすことが可能になる。したがって、第4の微粒子に蓄積された電荷の有無や多寡に応じて、上記単位領域における電流の流れ易さ、つまり電流の大小を変化させることができる。このような単位領域が上記絶縁体中に複数存在する結果、マクロなレベルで上記メモリ機能体を通して流れる電流の大小を変化させることができる。

【0020】

一実施形態のメモリは、上記第3の微粒子と第4の微粒子との間隔を d_{34} としたとき、 $d_{13} > d_{34}$ かつ $d_{23} > d_{34}$ なる関係を満たすことを特徴とする。

【0021】

この一実施形態のメモリでは、第4の微粒子は、第1、第2の微粒子に比して

第3の微粒子に近い位置、つまり主な電流経路に比較的近い位置に存在する。したがって、第4の微粒子に電荷を出し入れし易くなる。また、第4の微粒子が第3の微粒子に近い位置に存在するので、第4の微粒子に蓄積される電荷の有無や多寡によって第3の微粒子のポテンシャルを変化させ易い。したがって、上記単位領域における電流の流れ易さ、つまり電流の大小を容易に変化させることができる。

【0022】

一実施形態のメモリは、上記絶縁体中に、上記導電性微粒子として粒径が0.4 nm以上4 nm以下のものが存在することを特徴とする。

【0023】

この一実施形態のメモリでは、上記絶縁体中に、上記導電性微粒子として粒径が0.4 nm以上4 nm以下のものが存在するので、上記メモリ機能体を通して流れる電流の大小を大きく変化させることができる。なお、導電性微粒子の粒径が大きすぎても小さすぎてもメモリ機能が低下する（詳しくは、後述する。）。

【0024】

一実施形態のメモリは、上記絶縁体の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在することを特徴とする。

【0025】

「絶縁体の厚さ方向」とは、層状に形成された絶縁体の、層が延びる方向（層方向）に対して垂直な方向を指す。

【0026】

この一実施形態のメモリでは、上記導電性微粒子を構成する元素の濃度は一様ではなく、上記絶縁体の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在する。この場合、上記絶縁体の厚さ方向、つまり上記第1の電極と第2の電極とが対向する方向に関して、電流が過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリの特性が安定する。

【0027】

一実施形態のメモリは、上記絶縁体の厚さ方向に、上記導電性微粒子の密度が高い領域に連なって上記導電性微粒子の密度が低い領域が存在することを特徴とする。

【0028】

この一実施形態のメモリでは、上記導電性微粒子の密度は一様ではなく、上記絶縁体の厚さ方向に、上記導電性微粒子の密度が高い領域に連なって上記導電性微粒子の密度が低い領域が存在する。この場合、上記絶縁体の厚さ方向、つまり上記第1の電極と第2の電極とが対向する方向に関して、電流の流れ易さが過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリの特性が安定する。

【0029】

一実施形態のメモリは、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在することを特徴とする。

【0030】

この一実施形態のメモリでは、上記導電性微粒子のサイズは一様ではなく、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する。この場合、上記絶縁体の厚さ方向、つまり上記第1の電極と第2の電極とが対向する方向に関して、電流の流れ易さが過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリの特性が安定する。

【0031】

上記絶縁体はシリコン酸化物からなり、また、上記導電性微粒子は半導体または金属からなるのが望ましい。この場合、このメモリは、半導体産業で用いられている既存の装置を用いて作製可能である。

【0032】

一実施形態のメモリは、上記メモリ機能体に流れる電流の向きを定めるように、整流作用を有する整流機能体が上記メモリ機能体と電気的に直列に接続されていることを特徴とする。

【0033】

この一実施形態のメモリでは、整流機能体によって、上記メモリ機能体に流れる電流の向きが一方向に限定される。これにより、上記メモリ機能体をそれぞれ含む複数のメモリセルを行列状に配置し、それらの中から特定のメモリセルを選択して動作させようとする場合に、非選択のメモリセルに無用な電流が流れるのを上記整流機能体によって阻止できる。したがって、メモリセルの選択が容易になる。

【0034】

また、上記整流機能体はショットキー接合を有するのが望ましい。このショットキー接合は金属と半導体の接合で作製され得る。したがって、既存の半導体装置で容易に製造可能であり、生産性に優れる。

【0035】

また、上記整流機能体はPN接合を有するのが望ましい。このPN接合は半導体を用いて作製され得る。したがって、既存の半導体装置で容易に製造可能であり、生産性に優れる。また、P型半導体とN型半導体の濃度を調整することにより接合の特性を容易に変えることが可能であるので、汎用性に優れる。

【0036】

また、上記整流機能体は整流作用を有する接合を備え、この接合を構成する物質の少なくとも一方は連続粒界シリコンであるのが望ましい。この場合、上記接合を形成するためには、エピタキシャル成長のような高温を必要としない。また通常の多結晶シリコンよりも結晶性がよいので、移動度が高く高速動作が可能となる。

【0037】

一実施形態のメモリは、上記メモリ機能体を選択するための選択トランジスタが上記メモリ機能体と電気的に直列に接続されていることを特徴とする。

【0038】

この一実施形態のメモリでは、選択トランジスタをON（オン）またはOFF（オフ）することによって、メモリセルを選択しまたは非選択にすることができる。また、選択トランジスタをOFFすることによってメモリ機能体を通して電

流が流れるのを防ぐことができるので、メモリ機能体の電流の流れ易さが変化するのを防ぐことができる。したがって、長時間安定したメモリ機能を維持することができる。

【0039】

一実施形態のメモリは、上記第1の電極と第2の電極との間に、上記メモリ機能体の絶縁膜を破壊する電圧を加えるための装置を備える。このメモリは、上記メモリ機能体の絶縁膜を破壊することによって、いわゆるヒューズメモリとして用いられる。このメモリでは、微粒子を含まない絶縁膜をヒューズとして用いた従来のヒューズメモリと異なり、低電圧で書き込み可能になる。

【0040】

なお、上述のメモリを行列状に配置してランダムアクセスメモリを構成しても良い。この場合、浮遊ゲート型メモリと異なり、構造が簡単になるので高集積化に適し、生産性に優れる。

【0041】

別の面では、この発明のメモリは、上述のメモリ機能体を含むメモリセルを少なくとも2つ備え、上記2つのメモリセルのメモリ機能体をなす絶縁体は一体に連続して形成されている。そして、上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されており、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されている。

【0042】

この発明のメモリでは、上記2つのメモリセルのメモリ機能体をなす絶縁体は一体に連続して形成されている。また、上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されている。したがって、別個に形成する場合に比べ分離領域を形成しなくてもよいため、占有面積を縮小することが可能となる。なお、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されているので、上記2つのメモリセルは互いに独立に動作することが可能である。

【0043】

さらに別の面では、この発明のメモリは、上述のメモリ機能体と、上記メモリ機能体を選択するための選択トランジスタと、上記メモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルを少なくとも5つ備える。上記各メモリセルは列方向に延びるビットラインとソースラインとの間に接続され、上記各メモリセルの選択トランジスタは行方向に延びるワードラインによって制御されるようになっている。上記5つのメモリセルのうち第1のセルに対して、行方向に隣り合って第2および第4のセルが配置されるとともに、列方向に隣り合って第3および第5のセルが配置されている。第1のセルと第2のセルについてビットラインは共通、ワードラインは共通、かつソースラインは非共通である。第1のセルと第3のセルについてビットラインは共通、ソースラインは共通、かつワードラインは非共通である。第1のセルと第4のセルについてソースラインは共通、ワードラインは共通、かつビットラインは非共通である。そして、第1のセルと第5のセルについてワードラインは共通、第1のセルのソースラインと第5のセルのビットラインは共通、かつ第1のセルのビットラインと第5のセルのソースラインは共通である。

【0044】

この発明のメモリでは、ワードライン、ビットライン、ソースラインを大幅に共用することができ、配線を削減することができる。したがって、占有面積の削減が可能となる。

【0045】

一実施形態のメモリは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されていることを特徴とする。

【0046】

この一実施形態のメモリでは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されて、3次元的に集積化されている。したがって、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【0047】

さらに、上記メモリ機能体を含むメモリセルが上記基板に対して平行な方向に

少なくとも2つ配置され、上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体をなす絶縁体は一体に連続して形成されているのが望ましい。この場合、メモリ機能体をセル毎に分離する工程が省けるので、生産性が向上する。

【0048】

また、上記メモリ機能体とこのメモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルが、上記基板に対して平行な方向に少なくとも2つ配置され、上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体をなす絶縁体および／または整流機能体は一体に連続して形成されているのが望ましい。この場合、メモリ機能体をセル毎に分離する工程および／または整流機能体をセル毎に分離する工程が省けるので、生産性が向上する。

【0049】

この発明の半導体装置は、上述のメモリを有するメモリ回路を備える。

【0050】

この発明の半導体装置では、占有面積の縮小が可能なメモリセルを用いているため、従来に比してメモリ回路の占有面積を縮小することができ、小型に構成される。上述のメモリは比較的低電圧で動作可能であるので、そのようなメモリを含むメモリ回路とロジック回路等との間で電源を共用でき、メモリ回路とロジック回路等との混載が容易になる。この結果、低消費電力化が可能になる。

【0051】

この発明の電子機器は、上述の半導体装置を備える。

【0052】

この発明の電子機器では、上述の半導体装置が小型に構成される結果、この機器を小型することが可能である。また、上述の半導体装置が低消費電力であるので、この機器に搭載された電池の寿命が延びる。したがって、この電子機器は携帯の用途に適する。

【0053】

また、この発明のメモリの製造方法は、上述のメモリを製造するために、上記第1の電極または第2の電極の一方の上に上記絶縁体を形成する工程と、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入す

る工程とを含むことを特徴とする。この後、上記絶縁体上に他方の電極を形成する。

【0054】

この発明のメモリの製造方法によれば、作製されたメモリについて、上記第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化するように、一度のイオン注入によって上記絶縁体中に導電性微粒子を所定の密度（高密度）に形成するとともに、上記絶縁体の厚さ方向に導電性微粒子を分布させることができる。したがって、メモリを生産性良く作製できる。

【0055】

なお、絶縁体中に導電性微粒子を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などで導電性物質を堆積し、熱処理を行って導電性微粒子にする方法や、導電性薄膜を堆積し、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法が考えられる。しかしながら、これらの方法では、絶縁体中に導電性微粒子をクーロンブロッケイド効果が発現するような所定の密度（高密度）に形成することが困難である。また、導電性微粒子を一度の処理で一平面上にしか形成できないため、クーロンブロッケイド効果が発現するように上記絶縁体の厚さ方向に導電性微粒子を分布させるためには、何度も処理を繰り返す必要があり、生産性が良くない。これに対して、イオン注入によれば、絶縁体中に導電性微粒子を一度の処理で短時間に高密度に形成できるとともに、上記絶縁体の厚さ方向に導電性微粒子を分布させることができる。しかも、イオン注入によれば、導電性微粒子を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

【0056】

また、このようにイオン注入によって上記絶縁体中に導電性微粒子を形成すれば、作製されたメモリのメモリ機能体は、上記絶縁体の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在する状態になる。また、上記絶縁体の厚さ方向に、上記導電性微粒子の密度

が高い領域に連なって上記導電性微粒子の密度が低い領域が存在する状態になる。さらに、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する状態になる。このような状態になれば、既述のように、メモリの特性が安定する。

【0057】

また、上記絶縁体中に導電性微粒子を形成するための物質を負イオン注入法により注入しているので、注入時に上記絶縁体やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に制御でき、注入ばらつきを抑制できる。また、帯電が抑制されるので、帯電によって上記絶縁体が破壊して欠陥が生じるのを抑制できる。これらの結果、作製されたメモリの信頼性が向上する。

【0058】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

【0059】

図1(b)は本発明の一実施形態のメモリ100の概略断面構造を示している。このメモリ100は、第1の電極111と第2の電極112との間に挟まれた層状の絶縁体101中に、上記第1、第2の電極111, 112間の電気抵抗がクーロンブロッケイド効果によって変化するように設けられたナノメートルサイズの複数の導電性微粒子102を含んでいる。この微粒子102を含んだ層状のシリコン酸化膜101をメモリ機能体113と呼ぶ。

【0060】

このメモリ100は次のようにして作製されている。

【0061】

この例では、半導体産業で用いられている既存の装置を用いて作製できるように、絶縁体101の材料としてシリコン酸化膜、導電性微粒子102の材料として銀を用いるものとする。

【0062】

① まず図3(a)に示すように、シリコン基板300の表面に熱酸化工程に

より絶縁体としてシリコン酸化膜101を形成する。この例では、形成されたシリコン酸化膜101の膜厚は約50nmであった。なお、シリコン基板300は第2の電極112として用いられる。

【0063】

② 次に図3(b)に示すように、シリコン酸化膜101中に銀303を負イオン注入法により導入する。

【0064】

ここで、注入エネルギーは、あまりに高すぎると、注入される銀の分布が広がりすぎて薄膜101への注入に相応しくなく、また膜101へダメージを与えて欠陥を生じてしまう。このため、注入エネルギーは、100keV未満、より好ましくは50keV未満に設定するのが好ましい。

【0065】

また、注入ドーズ量は、あまりに多いと、微粒子の粒径が大きくなりすぎ、また膜101へのダメージも多くなる一方、少なすぎると微粒子密度が小さくなりすぎてしまう。このため、注入ドーズ量は、 $1 \times 10^{12} / \text{cm}^2$ より多く、かつ $1 \times 10^{20} / \text{cm}^2$ より少なく設定するのが好ましく、例えば $1 \times 10^{13} / \text{cm}^2$ より多く、かつ $1 \times 10^{17} / \text{cm}^2$ より少なく設定するのが、より好ましい。

【0066】

この例では、注入エネルギーは約30keV、ドーズ量は約 $1 \times 10^{15} / \text{cm}^2$ に設定した。

【0067】

また、上述のように、この例では、イオン注入法として負イオン注入法を採用している。負イオンを用いて注入した場合、正イオンの場合のように注入を受ける材料（この例ではシリコン酸化膜101）の表面電位が正イオンの加速電圧近くまで上昇することなく、数ボルト程度の非常に低い値に収まる。すなわち、正イオン注入の場合は、正の電荷のイオンが材料表面に入射し、負の電荷の二次電子が放出されるため材料表面は正に帯電する一方であり、最終的に正イオンの加速電圧まで上昇する。これに対して、負イオン注入の場合は、負の電荷のイオンが入射し負の電荷の二次電子が放出し、表面電位は±数ボルト程度に収まる。し

たがって、正イオン注入に比べ実効的な加速電圧の変動が少なくなるため、注入深さのばらつきを抑制することが可能となる。また、注入を受けるシリコン酸化膜101やそれを支持する基板300が殆ど帯電しないので、絶縁破壊等による欠陥の発生を抑制することが可能となる。

【0068】

③ 次に、熱処理を行って、注入元素（この例では銀）を凝集または拡散させる。これにより、図3（c）に示すように、シリコン酸化膜101中に銀からなる所定の粒径の微粒子102をクーロンブロッケイド効果が発現するような所定の密度に形成するとともに、シリコン酸化膜101の厚さ方向V1、V2に微粒子102を分布させる。また、イオン注入時に発生した欠陥を修復する。

【0069】

この熱処理の温度は、低すぎると効果がないが、あまりに高温であると注入元素が拡散、熔融するため、微粒子を形成できない。したがって、熱処理の温度は、200℃より高く、かつ注入元素の融点未満に設定するのが好ましい。また、熱処理の時間は、一定温度であっても長くすればその温度での効果は増大するが、あまりに長いと、粒径が過度に大きくなる場合や、注入元素が微粒子を形成すべき領域外まで拡散する場合がある。このため、熱処理時間は、24時間より短く設定するのが好ましい。

【0070】

例えば通常の熱処理炉を用いる場合は、アルゴンや窒素等の不活性雰囲気中で、熱処理の温度を300℃～900℃の範囲内に設定するのが好ましい。この例では、アサヒ理化製作所製のセラミクス電気管状炉を用い、アルゴン雰囲気中で、約700℃の温度で約1時間の熱処理を行った。

【0071】

④ この後、この微粒子102を含んだシリコン酸化膜101上に、第1の電極111を形成する。

【0072】

この第1の電極111の材料は、金属または半導体、さらには、導電性を有する限り、有機物質であっても良い。第1の電極111を形成する方法としては、

CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などを採用できる。

【0073】

この例では、蒸着によって、第1の電極111としてAl膜を形成した。

【0074】

このようにして作製したメモリ100の、微粒子102を含んだ層状のシリコン酸化膜101、つまりメモリ機能体113を断面TEM観察によって調べた。その結果、図1（a）に示すように、イオン注入された銀が凝集して、粒径が約3nm程度以下のナノメートルサイズの微粒子102となっていることが分かった。また、設定した注入エネルギー（銀イオンの加速エネルギー）から予想される深さを中心として、シリコン酸化膜101の厚さ方向V1、V2に微粒子102を分布させることができた。なお、厚さ方向V1、V2に関する微粒子102の分布については、後に詳述する。

【0075】

このようにイオン注入によれば、絶縁体101中に導電性微粒子102を一度の処理で短時間に高密度に形成できるとともに、絶縁体101の厚さ方向V1、V2に導電性微粒子102を分布させることができる。しかも、イオン注入によれば、導電性微粒子102を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

【0076】

また、この例では、絶縁体101中に導電性微粒子102を形成するための物質を負イオン注入法により注入しているので、注入時に上記絶縁体101やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に制御でき、注入ばらつきを抑制できる。また、帯電が抑制されるので、帯電によって絶縁体101が破壊して欠陥が生じるのを抑制できる。これらの結果、メモリ100の信頼性を向上させることができる。

【0077】

図2は、上述の方法で作製したメモリ100の常温（25℃）における電流対電圧（I-V）特性のグラフを示している。

【0078】

この特性は、第2の電極112（シリコン基板300）を接地し、第1の電極111に電圧を印加して、第1の電極111に流れる電流を観測したものである。まず電圧を高い方から低い方へ連続的に変化させると、図2中に矢印S1で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が減少した。続いて、折り返し、電圧を高い方へ連続的に変化させると、図2中に矢印S2で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が増加した。図2から分かるように、この電流対電圧（I-V）特性にはヒステリシスも現れている。この理由を、図1（c）を用いて次に詳しく考察する。

【0079】

図1（c）は、図1（b）に示したメモリ機能体113のうち、4個の導電性微粒子102を含む単位領域114を拡大して模式的に表している。この単位領域114には、4個の導電性微粒子102が互いに隣り合い、かつ互いに離間した状態で含まれている。4個の導電性微粒子102のうち第1の微粒子121が第1の電極111に対して最も近くに位置し、第2の微粒子122が第2の電極112に対して最も近くに位置する。残りの第3の微粒子123、第4の微粒子124は、第1の電極111と第2の電極112とが対向する方向（図において上下方向であり、絶縁体101の厚さ方向に相当する。）に関して、それぞれ第1の微粒子121と第2の微粒子122との間に位置している。

【0080】

ここで、第1の微粒子121と第3の微粒子123との間隔を d_{13} 、第2の微粒子122と第3の微粒子123との間隔を d_{23} 、第1の微粒子121と第4の微粒子124との間隔を d_{14} 、第2の微粒子122と第4の微粒子124との間隔を d_{24} とする。このとき、 $d_{13} < d_{14}$ かつ $d_{23} < d_{24}$ なる関係が満たされている。また、第3の微粒子123と第4の微粒子124との間隔を d_{34} としたとき、 $d_{13} > d_{34}$ かつ $d_{23} > d_{34}$ なる関係が満たされている。

【0081】

第1の電極111と第2の電極112との間に十分な電位差を与えた場合、この単位領域114では、電流は主に、ほぼ直線上に配置された第1の微粒子121と第3の微粒子123と第2の微粒子122とを介した経路を流れる。ここで、第4の微粒子124に1個乃至数個の電荷が蓄積され、その蓄積された電荷によって、第1の微粒子121と第3の微粒子123と第2の微粒子122とを介した電流経路中の電子に対してクーロン相互作用が及ぼされる。

【0082】

しかも、第4の微粒子124は、第1、第2の微粒子122に比して第3の微粒子123に近い位置、つまり主な電流経路から少しだけ横方向に離れた比較的近い位置に存在する。したがって、第4の微粒子124に電荷を出し入れし易くなる。また、第4の微粒子124が第3の微粒子123に近い位置に存在するので、第4の微粒子124に蓄積される電荷の有無や多寡によって第3の微粒子123のポテンシャルを変化させ易い。したがって、単位領域114における電流の流れ易さ、つまり電気抵抗を容易に階段状に変化させることができる。

【0083】

このような単位領域114が絶縁体101中に複数存在する結果、マクロなレベルで第1、第2の電極111、112間の電気抵抗が階段状に変化したと思われる。また、図2の電流対電圧（I-V）特性で、電圧を低くするとき（S1）と高くするとき（S2）との間で各単位領域114で第3の微粒子123のポテンシャルが変化した結果、ヒステリシスが現れたと思われる。

【0084】

なお、第3の微粒子123と第4の微粒子124との間隔 d_{34} が大きすぎると、電流経路に与えるクーロン相互作用は極めて弱いものとなり、実質的に無視できる程度となる。 $d_{13} > d_{34}$ かつ $d_{23} > d_{34}$ の場合、微粒子124に捕獲された電子による電流経路になっている微粒子への影響は大きいと推定され、ヒステリシスの増大が見込まれる。

【0085】

また、ヒステリシスの発生原因は、微粒子群の中で極微小な粒径の微粒子が電流の影響により拡散消滅、または凝集大型化した結果、クーロンエネルギーが変動

したためとも考えられる。その他、ジュール熱による熱エネルギーにより、微粒子から電子が放出された結果、クーロンエネルギーが変動したためとも考えられる。

【0086】

このメモリ100は、ヒステリシス効果を利用して、電流の大小を読み出すことで2値データを判別し、メモリとして使用することが可能である。また、抵抗が変化するので、抵抗変化素子または可変抵抗素子として用いることもできる。また、本発明のメモリは、電子の捕獲をするため電荷保持機能体と言い換えることもできる。

【0087】

なお、本メモリ100の第1、第2の電極111, 112間に過剰な電圧を印加した場合、電流値が著しく増大した。これは絶縁体101中に含まれる微粒子102が変化したため、あるいは微粒子102, 102間の絶縁体101が絶縁破壊をおこしたためと思われる。ただし、微粒子102, 102間の絶縁体101はトンネル障壁であるので絶縁破壊をおこしにくいことから、ジュール熱により微粒子102が拡散または凝集したか、電流によるマイグレーションため微粒子102の状態が変化した可能性が高いと思われる。

【0088】

また、通常の絶縁膜等の絶縁破壊を利用するヒューズメモリでは、その絶縁膜等を絶縁破壊させるために高電圧を必要とする。これに対して、メモリ機能体113を利用する本メモリ100では、微粒子102, 102間の実質的な絶縁膜厚は薄く、また微粒子102, 102間はトンネル可能な絶縁膜厚が大部分であるから、従来のヒューズメモリに比べて低電圧で書き込み動作が可能になる。したがって、本メモリ100は、低電圧で利用できるヒューズメモリとして用いることも可能である。

【0089】

この例では、作製した微粒子102の粒径は、TEM観察の範囲においてほぼ3nm以下であった。なお、同様の方法を用いて微粒子の粒径がほぼ6nm以下、ほぼ10nm以下の試料も作製した。そのような試料のI-V特性を測定したところ、微粒子の粒径が大きくなるにつれて、I-V特性のグラフにおける階段

形状やヒステリシスは小さくなり、室温よりも低温であっても、不明瞭になる傾向が観測された。したがって、ヒステリシスを得るために要求される微粒子 102 の粒径は 11 nm 以下、好ましくは 7 nm 以下、より望ましくは 4 nm 以下であることがわかった。

【0090】

一方、熱処理温度を上げることによって微粒子 102 の粒径をさらに縮小し、TEM 観察の範囲においてほぼ 1 nm に満たない粒径で、0.4 nm 未満の微粒子が多数を占めるような試料も作製した。そのような試料の I-V 特性を測定したところ、I-V 特性グラフにおける階段形状やヒステリシスは室温では明確には観測できなくなった。この理由は、銀イオンが絶縁膜全体に拡散したことによって、絶縁膜 101 の電気的な絶縁性が低下したためだと推測される。このときのイオン注入濃度は $1 \times 10^{15} \text{ ions/cm}^2$ であり、絶縁膜 101 の膜厚は約 50 nm であった。したがって体積濃度は約 $2 \times 10^{20} \text{ ions/cm}^3$ となる。

【0091】

この結果、微粒子 102 の粒径が 0.4 nm 以上であることが好ましく、1 nm 程度がより好ましい。さらに微粒子が存在しない、または粒径が 0.4 nm 未満の個所での濃度は約 $2 \times 10^{20} \text{ ions/cm}^3$ 以下であることが好ましいことがわかった。

【0092】

なお、クーロンプロセード効果が顕著になるには、微粒子 102 の容量を考えた場合、電荷を離脱させるために必要なエネルギーが周囲温度による熱エネルギーと比較して十分大きくなければならない。そのためには微粒子 102 を完全導体球と仮定したとき微粒子 102 の半径は 0.5 nm ~ 1 nm 程度であろうと推定される。なお、微粒子 102 の粒径が小さくなるにつれてクーロンプロセード効果自体は顕著になるが、微粒子 102 の粒径が小さすぎると第 1、第 2 の電極 111, 112 間に高電圧が必要となるため、デバイス応用の観点からは好ましくない。

【0093】

また、シリコン酸化膜 101 中に導電性微粒子 102 を形成するために負イオン注入を行っているので、作製後のシリコン酸化膜 101 は単一熱酸化膜と同等の品質を維持しており、非常に信頼性が高いものとなった。また、CVD などに比して、処理時間が短くなり、生産性に優れる。

【0094】

また、負イオン注入によれば、既述のように帯電による微粒子のばらつきを抑えられるので、シリコン酸化膜 101 の厚さ方向に関して微粒子 102 の分布がばらつくのを抑制できる。したがって、メモリ機能体 113 を薄膜化することができ、微細化が可能になる。そのようにメモリ機能体 113 を薄膜化した場合、第 1、第 2 の電極 111, 112 間に同じ電圧を加えてもメモリ機能体 113 に印加される実効電場が強くなる。したがって、メモリ 100 を動作させるための電圧を低電圧化することが可能となり、生産性および低消費電力性に優れる。

【0095】

図 1 (a) に模式的に示したように、シリコン酸化膜 101 中の微粒子 102 を構成する銀元素の濃度は一様ではなく、シリコン酸化膜 101 の厚さ方向 V1, V2 に、微粒子 102 を構成する銀元素の濃度が高い領域に連なって銀元素の濃度が低い領域がそれぞれ存在する。同様に、シリコン酸化膜 101 中の微粒子 102 の密度は一様ではなく、シリコン酸化膜 101 の厚さ方向 V1, V2 に、微粒子 102 の密度が高い領域に連なって微粒子 102 の密度が低い領域が存在する。同様に、シリコン酸化膜 101 中の微粒子 102 のサイズは一様ではなく、シリコン酸化膜 101 の厚さ方向 V1, V2 に、微粒子 102 のサイズが大きい領域に連なって微粒子 102 のサイズが小さい領域が存在する。これらの場合、シリコン酸化膜 101 の厚さ方向 V1, V2、つまり第 1 の電極 111 と第 2 の電極 112 とが対向する方向に関して、電流が過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリ 100 の特性が安定する。

【0096】

また、負イオン注入の際に斜め注入を行えば、シリコン酸化膜 101 の厚さ方向に関して微粒子 102 の分布の広がりを抑制することができる。したがって、

メモリ機能体 113 を薄膜化することができ、微細化に適する。

【0097】

図4は上記メモリ100の第1の電極としてA1膜を蒸着しパターン化してなる電極411を備えた態様を示し（この電極411には図示しない電源および電流センサが接続されている。）、図5はこの電極411を備えたメモリ100の常温（25℃）における電流対電圧（I-V）特性のグラフを示している。このグラフを用いて、上記メモリ100の記憶状態を判別する動作を説明する。

【0098】

この特性は、図2におけるのと同様に、シリコン基板300を接地し、第1の電極411に電圧を印加して、第1の電極411に流れる電流を観測したものである。まず電圧を高い方から低い方へ連続的に変化させると、図5中に矢印S1で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が減少した。続いて、折り返し、電圧を高い方へ連続的に変化させると、図5中に矢印S2で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が増加した。図5から分かるように、この電流対電圧（I-V）特性にはヒステリシスも現れている。

【0099】

ここで、例えば図5中に示すように書込電圧を V_w 、消去電圧を V_e とする。そして、メモリウィンドウ（ヒステリシス）の中央になるように書込状態と消去状態とを判別するための読出電圧を V_r 、判別基準となる電流値を I_j に設定する。電圧 V_r を印加したときの電流の大きさを読み取り、その電流の読取値と I_j との大小関係で記憶状態を判別する。例えばその電流の読取値が I_j よりも大きければ消去状態（論理0）、その電流の読取値が I_j よりも小さければ書込状態（論理1）と判別する。

【0100】

このように、このメモリ100は2値メモリとして用いることが可能である。

【0101】

図6（a）は、メモリ機能体604（既述のメモリ機能体113と同じ物）を選択するための選択トランジスタ601が上記メモリ機能体604と電気的に著

列に接続され、シリコン基板 600 上に集積化された態様を模式的に示している。選択トランジスタ 601 は通常の MOS トランジスタであり、シリコン基板 600 の表面に互いに離間して形成されたドレイン領域 602 およびソース領域 603 と、それらの間の基板表面を覆うゲート酸化膜 608 およびゲート電極 609 を含んでいる。なお、コンタクト 605, 606 がそれぞれドレイン領域 602、ソース領域 603 に接続されている。

【0102】

この例では、選択トランジスタ 601 のドレイン 602 につながるコンタクト 605 の一部としてメモリ機能体 604 が設けられている。具体的には、図 6 (b) はドレイン領域 602 に接するようにメモリ機能体 604 を備えた例であり、図 6 (c) はビットライン 626 のメタル配線に接してメモリ機能体 604 を備えた例であり、図 6 (d) はコンタクト 605 の途中にメモリ機能体 604 を備えた例である。

【0103】

図 7 は、上述のメモリ機能体と選択トランジスタとを含むメモリセル M を行列状に備えたメモリの回路構成を示している。ワードライン W、ビットライン B がそれぞれ行方向、列方向に延びている。各メモリセル M のメモリ機能体 604 と選択トランジスタ 601 は、対応するビットライン B とグラウンド（接地）との間に直列に接続されている。

【0104】

例えばメモリセル M (320) を選択するとき、それに接続されたワードライン W (300) に選択トランジスタの閾値電圧以上の電圧 V_H を印加し、その他のワードライン W (100), W (200), W (400) には 0 V (接地電位) を与える。かつ、メモリセル M (320) に接続されたビットライン B (020) に書き込み、読出し、消去に必要な電圧 V_b を印加し、その他のビットライン B (010), B (030), B (040) にはたとえ選択トランジスタが ON 状態であっても、書き込み、消去が行われない電圧、例えば 0 V を与える。

【0105】

このようにすれば、メモリセル M (320) のメモリ機能体 604 には電位差

約 V_b の電圧が印加されメモリ動作が行われる。その他のメモリセルでは選択トランジスタ 601 が OFF 状態であるか、選択トランジスタ 601 が ON 状態であってもビットライン B の電位が 0 V であるのでメモリ機能体には電圧が加わらずメモリ動作は行われない。

【0106】

図 8 は、上述のメモリ機能体 604 と選択トランジスタ 601 とを含むメモリセル M を行列状に備えたメモリの回路構成を示している。この例では、行方向に隣り合うメモリセル M の間でメモリ機能体 604 と選択トランジスタ 601 との配置が対称（逆）になっており、各メモリセル M のメモリ機能体 604 と選択トランジスタ 601 は、対応するビットライン B とソースライン S との間に直列に接続されている。

【0107】

例えばメモリセル M (320) を選択するとき、それに接続されたワードライン W (300) に選択トランジスタの閾値電圧以上の電圧 V_H を与え、その他のワードライン W には 0 V (接地電位) を与える。かつ、メモリセル M (320) に接続されたビットライン B (020) に書き込み、読出し、消去に必要な電圧 V_b を印加し、ソースライン S (010) にはメモリセル M (310) が書き込みまたは消去動作しない電圧、例えば電圧 V_b を与える。その他のビットライン B (040) およびソースライン S (030), S (050) にはたとえ選択トランジスタが ON 状態であっても、書き込み、消去が行われない電圧、例えば 0 V を与える。

【0108】

このようにすれば、メモリセル M (320) のメモリ機能体 604 には電位差約 V_b の電圧が印加されメモリ動作が行われる。その他のメモリセルでは選択トランジスタ 601 が OFF 状態であるか、選択トランジスタ 601 が ON 状態であってもビットライン B とソースライン S との間の電位差が 0 V であるので、メモリ機能体には電圧が加わらずメモリ動作は行われない。

【0109】

図 9 は、上述のメモリ機能体と選択トランジスタとが直列接続されたタイプの

複数のメモリセルM1, M2, M3, ...をシリコン基板900上に集積化した一態様のメモリの断面構造を示している。各メモリセルMの選択トランジスタは、シリコン基板900の表面に互いに離間して形成されたドレイン領域903およびソース領域907と、それらの間の基板表面を覆うゲート酸化膜908およびゲート電極909を含んでいる。隣り合うメモリセルは基板900と平行な方向（図9における左右方向）に関して対称に構成されている。メモリセルM1, M2のソース領域907は一体に連続して形成され、このソース領域907上に1つのソースコンタクト902が形成されている。つまり、メモリセルM1, M2間でソースコンタクト902が共有されている。メモリセルM2, M3のドレイン領域903, 903は左右に離間して分離され、それらのドレイン領域903, 903上にまたがって1つのメモリ機能体904（既述のメモリ機能体113と同じ物）と1つのビットコンタクト901が形成されている。つまり、メモリ機能体904は2つのドレイン領域903, 903に接するように、左右方向に一体に連続して形成されている。また、メモリセルM2, M3間でビットコンタクト901が共有されている。ビットコンタクト901には対応するビットライン926が接続されている。

【0110】

この構成では、メモリ機能体904のうちメモリ動作を行うのは、図9（b）に示すように、ビットコンタクト901とドレイン領域903, 903との間に挟まれて電圧が印加される領域905, 905に限られる。メモリ機能体904は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体904のうち有効な電圧が印加されない残りの部分（領域905, 905の間に相当する部分）は、メモリ動作をしない。

【0111】

したがって、このメモリでは、メモリ機能体904は2ビットメモリ機能体として働く。このため、個々のドレイン領域903上にそれぞれ1つのメモリ機能体を形成する場合に比べ、メモリ機能体904の占有面積は約半分になる。また、ビットコンタクト901、ソースコンタクト902の数も約半分に減少させることができる。したがって1セルあたりの占有面積が減少し集積度が向上する。

【0112】

図10 (a), (b) はそれぞれ図9に示したメモリの変形例を示している。なお、既に示した図中の構成要素と同じ構成要素には同じ符号を付して、説明を省略する(以下同様。)

【0113】

これらの変形例では、隣り合うメモリセルM2, M3のドレイン領域903, 903は、基板900の表面に形成された断面矩形のトレンチ(溝)1003によって左右に分離されている。トレンチ1003を定める基板壁面(トレンチの内壁)に沿って絶縁膜1001が断面コの字状に形成され、絶縁膜1001の内側は例えばポリシリコンや金属などの導電性物質(トレンチ電極)1005で埋め込まれている。トレンチ電極1005はビットコンタクト1006と電氣的に接続されている。

【0114】

図10 (a) のメモリでは、絶縁膜1001のうち基板表面に近い領域のみに導電性微粒子が含有されてメモリ機能体1004が構成されている。この例では、メモリ機能体1004は、基板表面からドレイン領域903の深さよりも深くまで達している。一方、図10 (b) のメモリでは、絶縁膜1001のうち全領域に導電性微粒子が含有されてメモリ機能体1014が構成されている。

【0115】

いずれにしても図10 (c) に示すように、メモリ機能体1004のうちメモリ動作を行うのは、トレンチ電極1005とドレイン領域903とで挟まれて電圧が印加される領域1024, 1024に限られる。メモリ機能体1004は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体1004のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。

【0116】

これらの図10 (a), (b) のメモリでは、図9のメモリと同様に、個々のドレイン領域903上にそれぞれ1つのメモリ機能体を形成する場合に比べ、メモリ機能体1004, 1014の占有面積は約半分になる。また、ビットコンタクト901、ソースコンタクト902の数も約半分に減少させることができる。

したがって1セルあたりの占有面積が減少し集積度が向上する。

【0117】

図11は、上述のメモリ機能体と整流機能体とを含むメモリセルMを行列状に備えたメモリの回路構成を示している。ワードラインW、ビットラインBがそれぞれ行方向、列方向に延びている。各メモリセルMのメモリ機能体1204（既述のメモリ機能体113と同じ物）と整流機能体1201は、対応するビットラインBとワードラインWとの間に直列に接続されている。各整流機能体1201は、ワードラインWからメモリ機能体1204を通してビットラインBへ電流が流れるのを許容する一方、ビットラインBからメモリ機能体1204を通してワードラインWへ電流が流れるのを阻止する。

【0118】

例えばメモリセルM(320)を選択するとき、それに接続されたワードラインW(300)に正電圧 V_H を印加し、かつビットラインB(020)にメモリ機能体1204に書き込み、読出し、消去のうち所望の動作に必要な電位差になるような負電圧 V_L を印加する。さらにその他のビットラインB(010), B(030), B(010)には、ワードラインWに正電圧 V_H が印加されていてもメモリ機能体1204に書き込み、消去が行われたい電位差になるような電圧を印加する。例えば電位差を0にするならば電圧 V_H を印加する。同様に、その他のワードラインW(100), W(200), W(400)には電圧 V_L を印加し選択しないメモリ機能体1204に加わる電位差を0になるようにする。

【0119】

このようにすれば、メモリセルM(320)のメモリ機能体1204には電位差約($V_H - V_L$)のが印加されメモリ動作が行われる。その他のメモリセルMでは電位差が0であるか、電位差があっても整流機能体1201に対して逆方向電圧であるので、電流が制限されてメモリ機能体1204はメモリ動作を行わない。

【0120】

あるいは、整流機能体1201として、閾値が存在し順方向であっても電位差 V_t 未満では電流が流れないかメモリ動作しない程度の小電流しか流れないもの

を用いても良い。但し、メモリ機能体1204のメモリ動作に必要な電位差を V_m としたとき、 $V_t > (V_m/2)$ であるものとする。例えば、メモリセルM(320)を選択するためにはワードラインW(300)に正電圧($V_m/2$)、ビットラインB(020)に負電圧 $-(V_m/2)$ を印加して、メモリ機能体1204にメモリ動作に必要な電位差 V_m を与える。その他のワードラインWおよびビットラインBには電圧0Vを与える。この場合、非選択のメモリセルMには最大($V_m/2$)の電位差が加わるが、整流機能体1201によって電流が制限されるので、メモリ動作は行われない。

【0121】

図12は、上述のメモリ機能体とPN接合からなる整流機能体とを含むメモリセルがとり得る様々な構造を示している。

【0122】

図12(a)は、メモリ機能体1204(既述のメモリ機能体113と同じ物)と整流機能体1201とが電氣的に直列に接続された態様を模式的に示している。整流機能体1201は、N型半導体1202とP型半導体1203とが作るPN接合を含んでいる。

【0123】

図12(b)は、図12(a)における整流機能体1201を半導体基板(例えばシリコン基板)1215上に形成した態様を模式的に表している。この例では、整流機能体1201のP型半導体領域1203およびN型半導体領域1202は、公知の方法により、半導体基板1215の表面へ順次不純物を注入、拡散等することにより形成されている。

【0124】

図12(c)～図12(e)は、図12(b)におけるメモリ機能体1204の配置を具体的に表している。図12(c)はメモリ機能体1204がコンタクト1226の途中に設けられた例であり、図12(d)はメモリ機能体1204がN型半導体領域1202に接するように設けられた例であり、また、図12(e)はメモリ機能体1204がビットライン1247に接するように設けられた例である。メモリ機能体1204は既述の方法により形成され、コンタクト12

26, 1227は公知の方法により形成される。

【0125】

図13は、各メモリセルにメモリ機能体とPN接合からなる整流機能体とを含み、かつ隣り合う2つのメモリセルで構成要素を共有したときの様々な構造を示している。なお、この図13ではコンタクトが簡略化した形で表されているが、公知の方法により形成される。

【0126】

図13(a)は、メモリ機能体1204と整流機能体1301とを含むメモリセルM11, M12, M13, …が電氣的に直列に接続された態様を模式的に示している。隣り合うメモリセルは互いに対称に構成されている。各整流機能体1301は、N型半導体領域1302とP型半導体領域1303とが作るPN接合を含んでいる。P型半導体領域1303にはワードコンタクト1305、メモリ機能体1204にはビットコンタクト1304がそれぞれ電氣的に接続されている。

【0127】

図13(b)は、上述の複数のメモリセルM11, M12, M13, …をシリコン基板1316上に集積化してなるメモリの断面構造を示している。隣り合うメモリセルM11, M12の間ではN型半導体領域1302, 1302が基板1316と平行な方向(図13における左右方向)に離間して形成され、それらのN型半導体領域1302, 1302上にまたがって1つのメモリ機能体1204と1つのビットコンタクト1304が形成されている。つまり、メモリ機能体1204は2つのN型半導体領域1302, 1302に接するように、左右方向に一体に連続して形成されている。隣り合うメモリセルM12, M13の間ではP型半導体領域1303が一体に連続して形成され、その上に1つのワードコンタクト1305が形成されている。このようにした場合、1セルあたりの占有面積が減少し集積度が向上する。

【0128】

このメモリを作製するには、まずシリコン基板1316の表面に酸化膜(図示せず)を形成し、既述の方法でメモリ機能体1204を形成する。次に、シリコ

ン基板 1316 の表面へ順次不純物を注入、拡散等することにより P 型半導体領域 1303、N 型半導体領域 1302 を形成する。このとき、メモリ機能体 1204 に覆われた領域には不純物は注入されない。この後、公知の方法により、コンタクト 1304、1305 を形成する。

【0129】

図 13 (c) は、図 13 (b) に示したメモリの変形例を示している。この変形例では、隣り合うメモリセル M11、M12 の N 型半導体領域 1302、1302 間に、公知の方法により素子分離領域 1327 が設けられている。このようにした場合、隣り合う 2 つのメモリセル M11、M12 間を確実に電氣的に分離できる。

【0130】

図 13 (d) は、さらなる変形例を示している。この変形例では、隣り合うメモリセル M11、M12 の N 型半導体領域 1302、1302 間に、公知の方法により断面矩形のトレンチ (溝) 1333 が設けられている。トレンチ 1333 を定める基板壁面 (トレンチの内壁) に沿って絶縁膜 1331 が断面コの字状に形成され、絶縁膜 1331 の内側は例えばポリシリコンや金属などの導電性物質 (トレンチ電極) 1335 で埋め込まれている。トレンチ電極 1335 はビットコンタクト 1304 と電氣的に接続されている。そして、絶縁膜 1331 のうち基板表面に近い領域のみに導電性微粒子が含有されてメモリ機能体 1334 が構成されている。この例では、メモリ機能体 1334 は、基板表面から N 型半導体領域 1302 の深さと略同じ深さまで達している。このようにした場合、隣り合う 2 つのメモリセル M11、M12 間を確実に電氣的に分離できる。

【0131】

図 14 は、上述のメモリ機能体と整流機能体と選択トランジスタとを含むメモリセル M を行列状に備えたメモリの回路構成を示している。ワードライン W、ビットライン B がそれぞれ行方向、列方向に延びている。この例では、行方向に隣り合うメモリセル M の間でメモリ機能体 1204、整流機能体 1201、選択トランジスタ 1209 (既述の選択トランジスタ 601 と同じ物) の配置が対称 (逆) になっている。また、列方向に関してワードライン W を介して隣り合うメモ

リセルMの間でメモリ機能体1204、整流機能体1201、選択トランジスタ1209の配置が対称（逆）になっている。各メモリセルMのメモリ機能体1204と整流機能体1201と選択トランジスタ1209は、対応するビットラインBとビットラインBとの間に直列に接続されている。なお、各ビットラインBは、切り替えられてソースラインとしても働く。

【0132】

メモリセルM(320)を第1のセルとし、それに対して行方向に隣り合うメモリセルM(310)、M(330)をそれぞれ第2のセル、第4のセルとし、列方向に隣り合うメモリセルM(220)、M(420)をそれぞれ第3のセル、第5のセルとする。第1のセルM(320)と第2のセルM(310)についてビットラインB(020)は共通、ワードラインW(200)は共通、かつソースラインB(010)、B(030)は非共通である。第1のセルM(320)と第3のセルM(220)についてビットラインB(020)は共通、ソースラインB(030)は共通、かつワードラインW(200)、W(100)は非共通である。第1のセルM(320)と第4のセルM(330)についてソースラインB(030)は共通、ワードラインW(200)は共通、かつビットラインB(020)、B(040)は非共通である。そして、第1のセルM(320)と第5のセルM(420)についてワードラインW(200)は共通、第1のセルM(320)のソースラインB(030)と第5のセルM(420)のビットラインB(030)は共通、かつ第1のセルM(320)のビットラインB(020)と第5のセルM(420)のソースラインB(020)は共通である。

【0133】

例えば、第1のセルM(320)を選択する場合、ワードラインW(200)に選択トランジスタ1209がONする電圧 V_o 、その他のワードラインW(100)には選択トランジスタ1209がOFFする電圧 V_u を印加する。かつ、ビットラインB(010)、B(020)には高電圧 V_H 、その他のビットラインB(030)、B(040)には低電圧 V_L を印加する。ただし電位差($V_H - V_L$)はメモリセルMがメモリ動作するに十分な順方向電流が流れる電位差とする。

【0134】

このようにすれば、第1のセルM(320)にはメモリ動作に必要な電位差と順方向電流が流れる。

【0135】

第1のセルM(320)に対して行方向に隣り合い、それぞれ第1のセルM(320)とビットラインB(020), B(030)を共用しているセル、つまり第2のセルM(310)と第4のセルM(330)は、選択トランジスタ1209のON、OFFにかかわらず電位差がなく(電圧が加わらず)、電流が流れないのでメモリ動作はしない。

【0136】

第1のセルM(320)に対して列方向に隣り合い、第1のセルM(320)とビットラインB(020), B(030)の両方を共用しているが、ワードラインW(200)を共用していないセル、つまり第3のセルM(220)は、選択トランジスタ1209がOFFであるので、メモリ動作に必要な電流が流れずメモリ動作はしない。

【0137】

第1のセルM(320)に対して列方向に隣り合い、第1のセルM(320)とビットラインB(020), B(030)およびワードラインW(200)の全てを共用しているセル、つまり第5のセルM(420)は、整流機能体1201のお蔭で逆方向電流しか流れないため、メモリ動作に必要な電流が流れずメモリ動作はしない。

【0138】

このメモリでは、ビットラインおよびワードラインの共用が可能になるので、配線を減少させることができ、配線に起因する占有面積の増大を大幅に抑制することが可能となる。

【0139】

図15は、上述のメモリ機能体とショットキー接合からなる整流機能体とを含むメモリセルがとり得る様々な構造を示している。

【0140】

図15 (a) は、メモリ機能体1504 (既述のメモリ機能体113と同じ物) と整流機能体1501とが電氣的に直列に接続された態様を模式的に示している。整流機能体1501は、金属1502とN型半導体1503とが作るショットキー接合を含んでいる。

【0141】

図15 (b) は、図15 (a) における整流機能体1501を半導体基板 (例えばシリコン基板) 1515上に形成した態様を模式的に表している。この例では、整流機能体1501のN型半導体領域1503は、公知の方法により、半導体基板1515の表面へ不純物を注入、拡散等することにより形成されている。その上に金属1512を形成して、金属1502とN型半導体1503との間にショットキー接合が形成されている。金属1502上にはコンタクト1526を介してメモリ機能体1504が設けられている。金属1502とコンタクト1526は同じ材質から成っていてもよく、その場合、工程を分けずに済むため工程を減らすことができ、生産性に優れる。

【0142】

図15 (c) ~図15 (d) は、図15 (b) におけるメモリ機能体1504の配置を具体的に表している。図15 (c) はメモリ機能体1504がコンタクト1526の途中に設けられた例であり、図15 (d) はメモリ機能体1504が金属1502に接するように設けられた例である。

【0143】

ここで、金属と半導体との間にショットキー接合を形成するためには、半導体の不純物濃度 (N型、P型を問わず) が低濃度、例えば $10^{18}/\text{cm}^3$ 未満であることが望ましい。半導体の不純物濃度が高濃度すぎると、オーミック接合が形成されてしまうからである。なお、半導体をN型にするかP型にするかは整流方向をどちらにするかによる。例えば半導体をN型にした場合、金属-n型半導体ショットキー接合の順方向は金属からN型半導体の方向になる。すなわち、電子はN型半導体から金属の方向へ移動する。

【0144】

図15 (e) は、上述のN型半導体領域1503が、金属1502に接する低

濃度N型半導体層 1543 と、その周りを取り囲みコンタクト 1527 に接する高濃度N型半導体層 1548 とからなる態様を示している。高濃度N型半導体層 1548 の不純物濃度は、例えば $10^{20}/\text{cm}^3$ を超える程度とする。抵抗半導体層 1548 を備えた例である。このようにすれば、金属 1502 との間でショットキー接合を形成できるとともに、コンタクト 1527 との間でオーミック接合を形成できる。しかも、N型半導体領域 1503（高濃度N型半導体層 1548）の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

【0145】

なお、コンタクトと半導体層との接合をオーミック接合とするには、半導体層の不純物濃度を高濃度にする、あるいは接合部分に金属シリサイドを形成するなどの方法を用いることができる。

【0146】

図16は、各メモリセルにメモリ機能体とショットキー接合からなる整流機能体とを含み、かつ隣り合う2つのメモリセルで構成要素を共有したときの様々な構造を示している。なお、この図16ではコンタクトが簡略化した形で表されているが、公知の方法により形成される。

【0147】

図16(a)は、メモリ機能体 1504 と整流機能体 1601 とを含むメモリセル M21, M22, M23, … が電氣的に直列に接続された態様を模式的に示している。隣り合うメモリセルは互いに対称に構成されている。各整流機能体 1601 は、N型半導体領域 1602 と金属層 1603 とが作るショットキー接合を含んでいる。金属層 1603 にはビットコンタクト 1605、メモリ機能体 1504 にはワードコンタクト 1604 がそれぞれ電氣的に接続されている。

【0148】

図16(b)は、上述の複数のメモリセル M21, M22, M23, … をシリコン基板 1616 上に集積化してなるメモリの断面構造を示している。隣り合うメモリセル M21, M22 の間ではN型半導体領域 1602, 1602 が基板 1616 と平行な方向（図16における左右方向）に離間して形成され、それらの

N型半導体領域1602, 1602上にまたがって1つのメモリ機能体1504と1つのワードコンタクト1604が形成されている。つまり、メモリ機能体1504は2つのN型半導体領域1602, 1602に接するように、左右方向に一体に連続して形成されている。隣り合うメモリセルM22, M23の間では金属層1603が一体に連続して形成され、その上に1つのビットコンタクト1605が形成されている。このようにした場合、1セルあたりの占有面積が減少し集積度が向上する。

【0149】

このメモリを作製するには、まずシリコン基板1616の表面に酸化膜（図示せず）を形成し、既述の方法でメモリ機能体1504を形成する。次に、シリコン基板1616の表面へ順次不純物を注入、拡散等することによりN型半導体領域1602を形成する。このとき、メモリ機能体1504に覆われた領域には不純物は注入されない。次に、N型半導体領域1602とショットキー接合を形成するように金属層1603を形成する。この後、公知の方法により、コンタクト1604, 1605を形成する。

【0150】

図16(c)は、図16(b)に示したメモリの変形例を示している。この変形例では、隣り合うメモリセルM21, M12のN型半導体領域1602, 1602間に、公知の方法により素子分離領域1627が設けられている。このようにした場合、隣り合う2つのメモリセルM21, M22間を確実に電氣的に分離できる。また、上述のN型半導体領域1602が、金属層1603に接する低濃度N型半導体層1643と、その周りを取り囲みメモリ機能体1504と接する高濃度N型半導体層1648とからなっている。これにより、N型半導体領域1602（高濃度N型半導体層1648）の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

【0151】

図16(d)は、さらなる変形例を示している。この変形例では、隣り合うメモリセルM21, M12のN型半導体領域1602, 1602間に、公知の方法により断面矩形のトレンチ（溝）1633が設けられている。トレンチ1633

を定める基板壁面（トレンチの内壁）に沿って絶縁膜 1631 が断面コの字状に形成され、絶縁膜 1631 の内側は例えばポリシリコンや金属などの導電性物質（トレンチ電極）1635 で埋め込まれている。トレンチ電極 1635 はワードコンタクト 1604 と電氣的に接続されている。そして、絶縁膜 1631 のうち基板表面に近い領域のみに導電性微粒子が含有されてメモリ機能体 1634 が構成されている。この例では、メモリ機能体 1634 は、基板表面から N 型半導体領域 1602 の深さと略同じ深さまで達している。このようにした場合、隣り合う 2 つのメモリセル M21, M22 間を確実に電氣的に分離できる。また、図 16(c) におけるのと同様に、上述の N 型半導体領域 1602 が、金属層 1603 に接する低濃度 N 型半導体層 1643 と、その周りを取り囲みメモリ機能体 1504 と接する高濃度 N 型半導体層 1648 とからなっている。これにより、N 型半導体領域 1602（高濃度 N 型半導体層 1648）の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

【0152】

図 17(a) は上述のメモリ機能体が基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示し、図 17(b) は図 17(a) 中の構成要素の電氣的接続を示している。なお、図 17(a) では層間絶縁体は図示していない。

【0153】

このメモリは、図示しない基板に対して平行にそれぞれ異なる高さで延びる複数の配線 1701, 1702, 1703, …を備えている。上層の配線 1701 と下層の配線 1703 とは平行で、これらに対して中間層の配線 1702 が交差している。配線 1701 と配線 1702 とが交差する箇所に、コンタクト 1706 を介してそれらの配線 1701, 1702 に挟まれるようにメモリ機能体 1710（既述のメモリ機能体 113 と同じ物）が設けられている。これにより、メタル配線 1701 とメタル配線 1702 とが交差する箇所に、メモリセルが構成されている。同様に、配線 1702 と配線 1703 とが交差する箇所に、コンタクト 1716 を介してそれらの配線 1702, 1703 に挟まれるようにメモリ機能体 1720（既述のメモリ機能体 113 と同じ物）が設けられて、メモリセ

ルが構成されている。なお、別の言い方をすれば、コンタクト1706, 1716をそれぞれ分断するようにメモリ機能体1710, 1720が設けられている。

【0154】

この図17(a)の構造では、メモリ機能体1710, 1720が3次元的に集積化されているので、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【0155】

図18(a)は、上述のタイプの3次元立体構造を持つメモリであって、各メモリセルがメモリ機能体と整流機能体とを含むものを示している。図18(b)は図18(a)中の構成要素の電氣的接続を示している。

【0156】

このメモリは、図示しない基板に対してそれぞれ異なる高さで延びる複数のメタル配線1801, 1802, 1803A, ...を備えている。下層のメタル配線1801と上層のメタル配線1803Aとは平行で、これらに対して中間層のメタル配線1802が交差している。メタル配線1801とメタル配線1802とが交差する箇所に、メタル配線1801に接してショットキー接合を形成するように半導体1820が設けられている。メタル配線1801と半導体1820とで整流機能体が構成されている。その整流機能体をなす半導体1820とメタル配線1802とに挟まれるようにメモリ機能体1810（既述のメモリ機能体113と同じ物）が設けられている（半導体1820とメタル配線1802とはメモリ機能体1810によって電氣的に隔てられている。）。これにより、メタル配線1801とメタル配線1802とが交差する箇所に、メモリセルが構成されている。同様に、メタル配線1802とメタル配線1803Aとが交差する箇所に、全く同じ態様で、半導体1820とメモリ機能体1810とが設けられて、メモリセル1832Aが構成されている。さらに、メタル配線1803とその上層の図示しないメタル配線とが交差する箇所にも、全く同じ態様で、半導体1820とメモリ機能体1810とが設けられて、メモリセル1833Aが構成されている。

【0157】

図18 (b) は、図18 (a) に示したメモリの変形例を示している。図18 (a) の構造では、例えばメタル配線1803Aの上下に配置されたメモリセル1833A, 1832Aが上下方向に1列に並んでいる。これに対して、この図18 (b) の構造では、下層のメタル配線1801に対して上層のメタル配線1803Bが横方向（この配線1803Bの長手方向に対して垂直な方向）にずらして配置されている。これとともに、例えばメタル配線1803Bの下に配置されたメモリセル1832Bに対して、上に配置されたメモリセル1833Bがこの配線1803Bの長手方向にずらして配置されている。この結果、この図18 (b) の構造では、図18 (a) の構造に比べて、メモリセル間の空間的な平均距離がより遠くなっている。したがって、メモリセル間で互いに影響を与えにくくなって、メモリの信頼性が向上する。

【0158】

次に、図19を用いて、図18 (a) に示したタイプの3次元立体構造を持つメモリの作製方法を説明する。図19 (a), (b), (c), (d), (e) は作製途中の物をそれぞれ同一方向から見たときの態様を示し、図19 (f), (g), (h), (i), (j) はそれぞれ図19 (a), (b), (c), (d), (e) の物を右側方から見たときの態様を示している。

【0159】

まず図19 (a), (f) に示すように、図示しない基板上の全域に、メタル配線層1901と、このメタル配線層とショットキー接合を形成するための半導体層（例えばポリシリコン層）1902と、メモリ機能体層1903とを順次積層する。メモリ機能体層1903は、既述のメモリ機能体113と同じ構造になるように、例えばシリコン酸化膜を形成した後、そのシリコン酸化膜中に導電性微粒子をイオン注入して形成する。

【0160】

次に図19 (b), (g) に示すように、各層1903, 1902, 1901を一括してエッチングして、一方向に延びるライン状にパターン加工する。このように一括してエッチングを行えば、各層1903, 1902, 1901毎にエッチングを繰り返すよりも、工程を簡略化することができる。なお、このエッチ

ング後、全域に図示しない層間絶縁膜、例えば酸化シリコンを堆積し、CMP（化学的機械的研磨）法によりその表面の平坦化を行う。

【0161】

次に図19（c），（h）に示すように、この上の全域に、繰り返して、メタル配線層1924と、このメタル配線層とショットキー接合を形成するための半導体層1925と、メモリ機能体層1926とを順次積層する。

【0162】

次に図19（d），（i）に示すように、各層1924，1925，1926一括してエッチングして、上記各層1903，1902，1901が延びる方向に対して略垂直に交差して延びるライン状にパターン加工する。このように一括してエッチングを行えば、各層1924，1925，1926毎にエッチングを繰り返すよりも、工程を簡略化することができる。この段階で、下層のメタル配線1901とその上のメタル配線1924とが交差する箇所に、パターン加工された半導体層1902とメモリ機能体1903とを含む1層目のメモリセルが形成されている。なお、このエッチング後、再び全域に図示しない層間絶縁膜、例えば酸化シリコンを堆積し、CMP法によりその表面の平坦化を行う。

【0163】

この後同様に、図19（e），（j）に示すように、メタル配線となるべきメタル層1947、半導体層1948、メモリ機能体層1949の堆積と、一括エッチングとを繰り返す。この段階で、メタル配線1924とその上のメタル配線1947とが交差する箇所に、パターン加工された半導体層1925とメモリ機能体1926とを含む2層目のメモリセルが形成されている。

【0164】

このようにして、メタル層、半導体層、メモリ機能体層の堆積と一括エッチングとを繰り返すことによって、3次元立体構造を持つメモリを作製することができる。

【0165】

なお、次回の一括エッチングによって、パターン加工された半導体層1948とメモリ機能体層1949とを含む3層目のメモリセルが形成される。

【0166】

さて、既に述べたように、メモリ機能体は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。

【0167】

例えば図20(a)に示すように、メモリ機能体層2001を挟む上下一対の電極2003, 2002; 2003, 2002; …が層方向(図20における左右方向)に互いに離間して並べて置されているものとする。この場合において、例えば右端の電極対2003, 2002の間に電圧が印加されたとき、メモリ機能体層2001のうちメモリ動作する領域は、右端の電極対2003, 2002の間に挟まれた領域2004A近傍に限られる。したがって、電圧が印加されない中央の電極対2003, 2002の間に挟まれた領域2004Bが誤動作することはない。

【0168】

また図20(b)に示すように、メモリ機能体層2011の下に左右方向に延びる配線層2012が形成され、メモリ機能体層2011の上に奥手前方向(図20の紙面に垂直な方向)に延びる配線層2013, 2013, …が互いに離間して並べて置されているものとする。この場合も、例えば配線層2012と右端の配線層2013との間に電圧が印加されたとき、メモリ機能体層2011のうちメモリ動作する領域は、それらの配線層2012, 2013が交差する領域2014A近傍に限られる。したがって、配線層2012と中央の配線層2013との間に挟まれた領域2004Bが誤動作することはない。

【0169】

このように、メモリ機能体層のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。したがって、メモリ機能体層をエッチングによってメモリセル毎に分割せず、一体に連続した状態にすることができる。そのようにした場合、メモリ動作する領域にエッチングによるダメージを与えるのを防止でき、メモリの信頼性を向上することができる。

【0170】

次に、図 21 を用いて、3 次元立体構造を持つメモリを作製する際に、メモリ機能体層を層方向に一体に連続した状態に形成する作製方法を説明する。図 21 (a), (b), (c), (d), (e) は作製途中の物をそれぞれ同一方向から見たときの態様を示し、図 21 (f), (g), (h), (i), (j) はそれぞれ図 21 (a), (b), (c), (d), (e) の物を右側方から見たときの態様を示している。

【0171】

まず図 21 (a), (f) に示すように、図示しない基板上の全域に、メタル配線層 2101 と、このメタル配線層とショットキー接合を形成するための半導体層（例えばポリシリコン層）2102 とを順次積層し、これらの層 2102, 2101 を一括してエッチングして、一方向に延びるライン状にパターン加工する。さらに、半導体層 2102 をエッチングして、メモリセル毎に分離する。このエッチング後、全域に層間絶縁膜となるべき絶縁体層 2103、例えば酸化シリコンを十分厚く堆積し、図 21 (b), (g) に示すように、CMP 法によりその表面の平坦化を行う。この平坦化は、半導体層 2102 の上面が露出するまで行うのではなく、半導体層 2102 上の絶縁体層 2103 の厚さが、次工程で形成すべきメモリ機能体層の厚さに相当するところまで行う。

【0172】

次に図 21 (c), (h) に示すように、絶縁体層 2103 のうち半導体層 2102 の上面より上の領域に、導電性微粒子をイオン注入してメモリ機能体層 2104 を形成する。メモリ機能体層 2104 は、既述のメモリ機能体 113 と同じ構造で、半導体層 2102 に接し、かつ基板上の全域に層方向に一体に連続した状態に形成される。

【0173】

次に図 21 (d), (i) に示すように、再び全域にメタル配線層 2105 と、このメタル配線層とショットキー接合を形成するための半導体層 2106 とを順次積層し、これらの層 2106, 2105 を一括してエッチングして、メタル層 2101 が延びる方向に対して略垂直に交差して延びるライン状にパターン加工する。さらに、半導体層 2106 をエッチングして、メモリセル毎に分離する

。このエッチング後、全域に層間絶縁膜となるべき絶縁体層 2107、例えば酸化シリコンを十分厚く堆積し、図 21 (e), (j) 中に示すように、CMP 法によりその表面の平坦化を行う。この平坦化は、半導体層 2106 の上面が露出するまで行うのではなく、半導体層 2106 上の絶縁体層 2107 の厚さが、次工程で形成すべきメモリ機能体層の厚さに相当するところまで行う。

【0174】

この後、同様の工程を繰り返して、図 21 (e), (j) に示すような 3 次元立体構造を得る。この図 21 (e), (j) は、メタル配線層、半導体層、メモリ機能体層を 3 組積層した様子を表している。図中、2108 はメモリ機能体層、2109 はメタル配線層、2110 は半導体層、2111 は層間絶縁膜（絶縁体層）、2112 はメモリ機能体層をそれぞれ示している。

【0175】

この構造では、図 21 (e) から分かるように、例えばメタル配線 2109 の下に配置されたメモリセル 2124 に対して、上に配置されたメモリセル 2134 がこの配線 2109 の長手方向にずらして配置されている。また、図 21 (j) から分かるように、例えばメタル配線 2105 の下に配置されたメモリセル 2114 に対して、上に配置されたメモリセル 2124 がこの配線 2105 の長手方向にずらして配置されている。この結果、この構造では、メモリセルを上下方向に 1 列に並べる場合に比べて、メモリセル間の空間的な平均距離がより遠くなっている。したがって、メモリセル間で互いに影響を与えにくくなって、メモリの信頼性が向上する。

【0176】

図 22 (a), (b) は、図 21 (e), (j) に示した構造の変形例を示している。図 21 (b) は図 21 (a) の物を右側方から見たときの態様を示している。

【0177】

この変形例では、メモリ機能体層 2104 とその上下のメタル配線層 2105、半導体層 2102 との間、メモリ機能体層 2108 とその上下のメタル配線層 2109、半導体層 2106 との間、また、メモリ機能体層 2112 とその上下

のメタル配線層 2113、半導体層 2110との間に、それぞれコンタクト 2205が設けられている。

【0178】

当然ながら、図 21、22においてそれぞれメモリ機能体をメモリセル毎に分離した構造を用いることもできる。

【0179】

図 23 (a), (b) は、図 21 (e), (j) に示した構造の別の変形例を示している。図 23 (b) は図 23 (a) の物を右側方から見たときの態様を示している。

【0180】

この変形例では、ショットキー接合からなる整流機能体に代えて、PN接合からなる整流機能体が設けられている。すなわち、メタル配線層 2101とメモリ機能体層 2104との間、メタル配線層 2105とメモリ機能体層 2108との間、また、メタル配線層 2109とメモリ機能体層 2112との間に、それぞれ PN接合をなす P型半導体層 2353と N型半導体層 2352との対が設けられている。

【0181】

なお、P型半導体層とN型半導体層とは入れ替えても良い。P型とN型を入れ替えることにより整流方向を反転させることが可能である。

【0182】

この図 23 の構造は、半導体層を P型半導体層と N型半導体層との 2層とする工程以外は、図 21 の例と同様の工程で作製することができる。

【0183】

一般に、ショットキー接合ダイオードに比べ、PN接合ダイオードは不純物濃度によって障壁高さを調節し易い。したがって、ショットキー接合からなる整流機能体に代えて、PN接合からなる整流機能体を用いた場合、整流機能体の特性を調整し易く、汎用性に優れる。例えば障壁高さを調節すれば、一定電圧下で流れる電流量あるいは容量を変化させることができ、メモリ動作電圧を調整することが容易である。

【0184】

図24 (a), (b) は、図23 (a), (b) に示した構造の変形例を示している。図24 (b) は図24 (a) の物を右側方から見たときの態様を示している。

【0185】

この変形例では、整流機能体としてPN接合をなす2層の半導体層のうち、メタル配線層に接する半導体層2451がそのメタル配線層に沿ってライン状に延びている。つまり、メタル配線層2101, 2105, 2109にそれぞれ接する半導体層2451, 2451, 2451はメモリセル毎に分離されるのではなく、メタル配線層2101, 2105, 2109とそれぞれ同じパターンに加工されている。

【0186】

一般に、半導体層はメタルよりも高抵抗であるため、メモリセル毎に分離するよりも、この図24 (a), (b) の構造のように、例えばビットラインをなすメタル配線層に沿ってライン状に延びるものとするのが好ましい。これにより、半導体層2451を少なくとも2つ以上のメモリセルで共通化して、実効的に低抵抗化できる。

【0187】

詳しくは、図23 (a), (b) に示した構造では、半導体層2353がメモリセル毎に分離されているため、メタル配線2101からメモリ機能体2104へ流れる電流経路は、図25 (a) 中に矢印で示すように、個々の半導体層2353のパターン内に限定される。これに対して図24 (a), (b) に示した構造では、メタル配線2101からメモリ機能体2104へ流れる電流経路は、図25 (b) 中に矢印で示すように、メタル配線2101に沿った方向に広がる。したがって、配線実効断面積が増大して低抵抗となる。この結果、メモリの高速動作が可能となる。

【0188】

当然ながら、半導体層2451がそのメタル配線層に沿ってライン状に延びていることによる効果は、メモリ機能体2504が層方向に一体に連続している場

合だけでなく、メモリ機能体 2504 がメモリセル毎に分離されている場合でも同様である。

【0189】

図 26 (a) は一実施形態の半導体装置 2600 の概略平面レイアウトを示している。

【0190】

この半導体装置 2600 は、上述のメモリ（メモリセル）を有するメモリ回路 2601 と、ロジック回路を有する周辺回路 2602 と、上記メモリ回路および周辺回路以外の機能を有する機能回路 2603 とを、同一の半導体基板上に集積化された態様で備えている。

【0191】

図 26 (b) は、比較のため、従来の半導体装置 2610 の概略平面レイアウトを示している。メモリ回路 2611 には、従来のフローティングゲートを有するフラッシュメモリが集積されている。この従来の半導体装置 2610 は、上記フラッシュメモリの駆動電圧がロジック回路の駆動電圧よりも高いので、周辺回路 2612 に昇圧回路や制御回路などが必要になり、また、メモリ回路の高い駆動電圧に耐えるように、周辺回路のトランジスタのゲート酸化膜を厚くする必要があつて、周辺回路 2612 の占有面積が大きくなっていた。したがって、半導体装置の小型化が困難であつた。また、メモリ回路 2611 および周辺回路 2612 の占有面積が大きいため、他の機能のための機能回路 2513 の占有面積の割合が小さく制限されていた。

【0192】

これに対して、この半導体装置 2600 では、本発明によるメモリセルを有するメモリ回路 2601 が低電圧で動作可能であるので、周辺回路 2602 と同じ電源電圧で動作可能である。したがって、メモリ回路 2601 と周辺回路 2602 との間で電源を共有でき、従来の昇圧回路や制御回路が削除できる。この結果、周辺回路 2602 の占有面積を小さくできる。また、メモリ回路 2601 の駆動電圧が低いので、周辺回路 2602 が含むトランジスタのゲート酸化膜を薄くでき、周辺回路 2602 の占有面積を小さくできる。さらに、メモリ回路 26

01は高集積化できるので、メモリ回路2601の占有面積を小さくできる。これらの結果、この半導体装置2601は、従来の半導体装置2610よりも小型にできる。また、メモリ回路および周辺回路以外の機能回路2603のための占有面積を広げることができるので、従来よりも高機能の半導体装置を構成できる。

【0193】

あるいは、この半導体装置2600に従来の半導体装置2610と同じ占有面積を許せば、従来よりも多くのメモリセルを集積して、半導体装置の記憶容量を増大できる。これによって、大規模なプログラムを一時的に読み込み、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能となり、かつ、そのプログラムを他のプログラムと入れ替えることもできる。

【0194】

図27は、本発明による電子機器の一例として、上述の半導体装置を備えた携帯電話機2700の構成を模式的に示している。

【0195】

この携帯電話機2700は、本体2710に、アンテナ部2715と、RF回路部2713と、表示部2714と、半導体装置としての制御回路2711と、これらの各構成要素に電力を供給するための電池2712とを搭載している。2716は信号線、2717は電源線である。

【0196】

制御回路2711は、本発明のメモリを有するメモリ回路とロジック回路とを混載したLSI（大規模集積回路）であり、RF回路部2713と表示部2714を制御している。制御回路2711は、本発明による半導体装置が組み込まれているので、この携帯電話機を高機能化でき、また、消費電力を低減して、電池寿命を大幅に延長することができる。

【0197】

なお、本実施形態では、電子機器の一例として携帯電話機を構成したが、携帯情報端末やゲーム機器など他の電子機器を構成しても同様の効果を発揮すること

が可能である。

【0198】

なお、上述の実施形態では、絶縁体101の材料としてシリコン酸化物を挙げたが、シリコン窒化物、酸化アルミニウム、酸化チタン等の絶縁体であれば用いることができる。ただし、微粒子の大きさにもよるが、絶縁体101があまりに高誘電率材料であると、容量が増大して動作速度に影響を与える。このため、絶縁体101の材料としては、比誘電率が10以下、好ましくは4以下の低誘電率を有するものが好ましい。

【0199】

また、微粒子102を構成する材料として銀を挙げたが、微粒子102を構成する材料としては、金、銀、銅、アルミニウム、錫、ニッケル、白金、亜鉛、ハフニウム、マンガン、タンタル、チタン、タングステン、インジウム、ガリウム、など他の金属を用いることもできる。また、シリコン、ゲルマニウム等の半導体や化合物半導体を用いることも可能であり、または合金やその他の化合物を用いることも可能である。また磁性体であっても用いることが可能である。ただし単体元素であるほうが、注入工程が容易であるので好ましい。

【0200】

また、第2の電極112としてシリコン基板を用いたが、シリコン以外の半導体または金属材料からなる基板を用いても良い。また、ガラス基板などの絶縁体材料からなる基板上に、CVD（化学気相成長法）や蒸着、MBE（分子線エビタキシ法）などによって導電層を形成し、その導電層を第2の電極として用いても良い。

【0201】

整流機能体を構成する半導体層の形成はエピタキシャル成長やポリシリコン堆積、CGS（連続粒界シリコン）などを用いることができる。ただし、比較的低温での形成が可能なポリシリコンやCGSを用いるのが好ましい。より好ましくは結晶性のよいCGSを用いた方が、整流性能が向上し信頼性に優れる。CGSは特開平8-78329号公報などに記載の作製方法によって低温で作製可能なシリコンであり、他の低温で作成可能なアモルファスシリコンやCGS以外の低

温ポリシリコンなどに比べて結晶性が良く高移動度が得られるなどの利点を有する。

【0202】

【発明の効果】

以上より明らかなように、本発明のメモリによれば、メモリ機能体を通して流れる電流の大小を、常温で比較的低電圧で電氣的に制御して変化させることができる。したがって、実用性のあるメモリが提供される。

【0203】

また、この発明のメモリの製造方法によれば、そのようなメモリを生産性良く作製できる。

【0204】

また、この発明のメモリを含む半導体装置は、高集積化、低消費電力化が可能になる。

【0205】

また、そのような半導体装置を備えた電子機器は、小型化、低消費電力化が可能になり、携帯の用途に適する。

【図面の簡単な説明】

【図1】 図1 (a) は、本発明の一実施形態のメモリを構成するメモリ機能体の断面を模式的に示す図、図1 (b) は上記メモリの概略断面を示す図、図1 (c) は上記メモリ機能体の単位領域の構造を拡大して模式的に示す図である。

【図2】 上記メモリの電流対電圧 (I-V) 特性を測定した結果を示す図である。

【図3】 上記メモリの作製工程を説明するための図である。

【図4】 上記メモリの別の態様を示す図である。

【図5】 図4のメモリのメモリ動作を説明するための図である。

【図6】 図6 (a) はメモリ機能体と選択トランジスタを含むメモリセルを模式的に示す図であり、図6 (b) ~ 図6 (d) はそれぞれその具体的な構成を示す図である。

【図 7】 上述のメモリ機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

【図 8】 上述のメモリ機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

【図 9】 図 9 (a) は上述のメモリ機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの断面構造を示す図であり、図 9 (b) は、図 9 (a) のメモリ機能体のうち実質的なメモリ動作をする個所を示した図である。

【図 10】 図 10 (a) , 図 10 (b) は、それぞれ上述のメモリ機能体と選択トランジスタとを含むメモリセルの断面構造を示す図であり、図 10 (c) は、図 10 (a) のメモリ機能体のうち実質的なメモリ動作をする個所を示した図である。

【図 11】 上述のメモリ機能体と整流機能体とを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

【図 12】 図 12 (a) は上述のメモリ機能体と P N 接合からなる整流機能体とを含むメモリセルを模式的に示す図であり、図 12 (b) ~ 図 12 (e) はそれぞれその具体的な構成を示す図である。

【図 13】 図 13 (a) は、各メモリセルにメモリ機能体と P N 接合からなる整流機能体とを含み、かつ隣り合う 2 つのメモリセルで構成要素を共有したときの構造を模式的に示す図であり、図 13 (b) ~ 図 13 (d) はそれぞれその具体的な構成を示す図である。

【図 14】 上述のメモリ機能体と整流機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

【図 15】 図 15 (a) は上述のメモリ機能体とショットキー接合からなる整流機能体とを含むメモリセルを模式的に示す図であり、図 15 (b) ~ 図 15 (e) はそれぞれその具体的な構成を示す図である。

【図 16】 図 16 (a) は、各メモリセルにメモリ機能体とショットキー接合からなる整流機能体とを含み、かつ隣り合う 2 つのメモリセルで構成要素を共有したときの構造を模式的に示す図であり、図 16 (b) ~ 図 16 (d) はそ

れぞれその具体的な構成を示す図である。

【図 17】 図 17 (a) は上述のメモリ機能体が基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示す図であり、図 17 (b) は図 17 (a) 中の構成要素の電氣的接続を示す図である。

【図 18】 図 18 (a) は上述のメモリ機能体と整流機能体とが基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示す図であり、図 18 (b) は図 18 (a) 中の構成要素の電氣的接続を示す図である。図 18 (c) は図 18 (a) の構造の変形例を示す図であり、図 18 (d) は図 18 (c) 中の構成要素の電氣的接続を示す図である。

【図 19】 図 18 (a) に示したタイプの 3 次元立体構造を持つメモリの作製方法を説明するための図である。

【図 20】 図 20 (a), (b) はそれぞれメモリ機能体層内のメモリ動作をする領域を説明するための図である。

【図 21】 3 次元立体構造を持つメモリのメモリ機能体層を、層方向に一体に連続した状態に形成する作製方法を説明するための図である。

【図 22】 図 22 (a), (b) は図 21 (e), (j) に示した構造の変形例を示す図である。

【図 23】 図 23 (a), (b) は図 21 (e), (j) に示した構造の別の変形例を示す図である。

【図 24】 図 24 (a), (b) は図 23 (a), (b) に示した構造の変形例を示す図である。

【図 25】 図 25 (a) は図 23 (a), (b) に示した構造の電流経路を示す図であり、図 25 (b) は図 24 (a), (b) に示した構造の電流経路を示す図である。

【図 26】 図 26 (a) はこの発明の一実施形態の半導体装置の平面レイアウトを示す図であり、図 26 (b) は従来の半導体装置の平面レイアウトを示す図である。

【図 27】 この発明の電子機器の一例としての携帯電話機を示す図である。

【図 28】 従来のメモリ素子を示す図である。

【符号の説明】

101 絶縁体（シリコン酸化膜）

102 導電性微粒子（銀微粒子）

111 第1の電極

112 第2の電極

113, 604, 904, 1004, 1014, 1204, 1334, 1504, 1634, 1720, 1810, 1903, 1926, 1949, 2001, 2011, 2104, 2108, 2112 メモリ機能体

114 単位領域

121 第1の微粒子

122 第2の微粒子

123 第3の微粒子

124 第4の微粒子

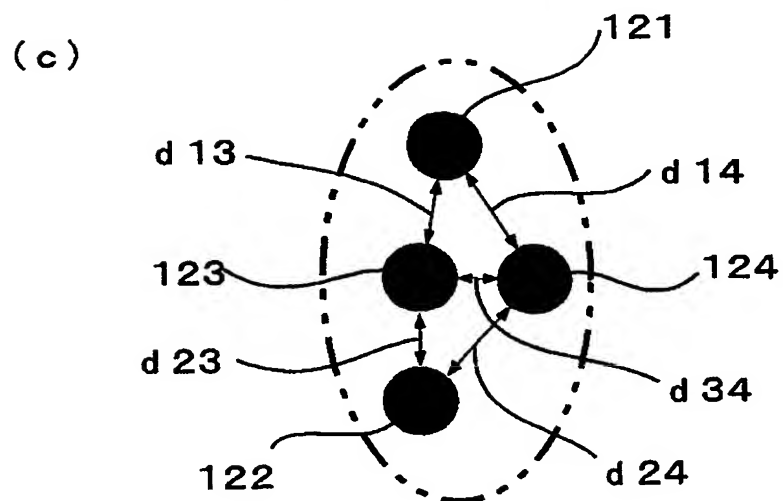
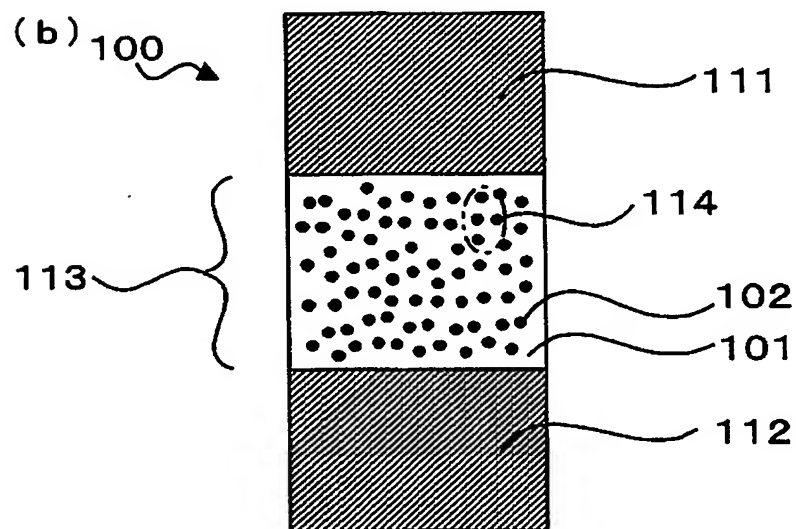
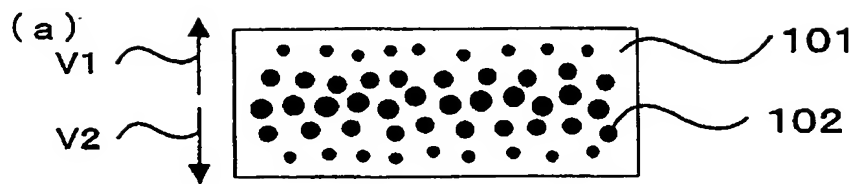
300 基板

601, 選択トランジスタ

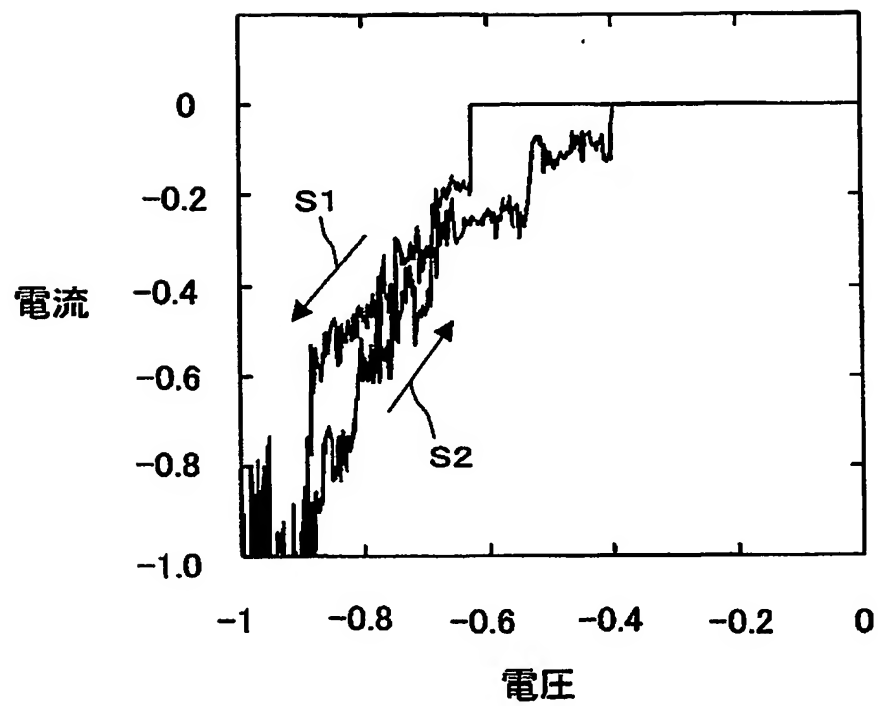
1201, 1501, 1601 整流機能体

【書類名】 図面

【図 1】

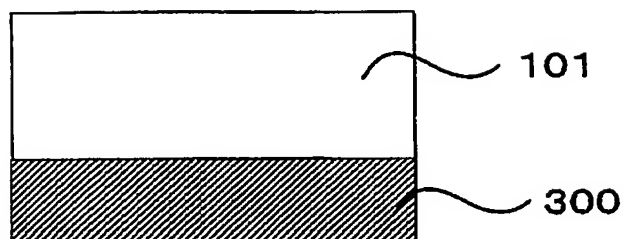


【図 2】

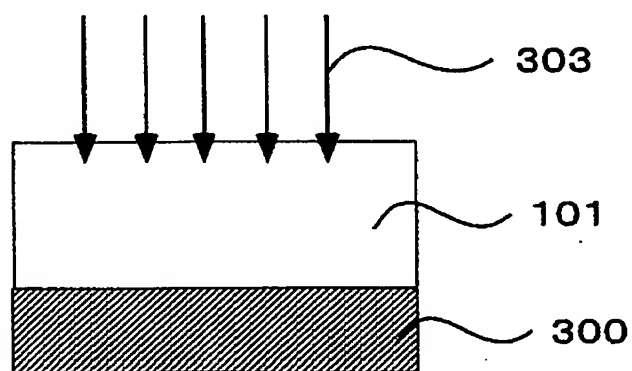


【図 3】

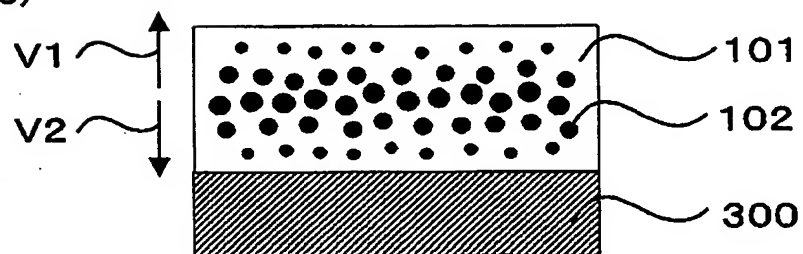
(a)



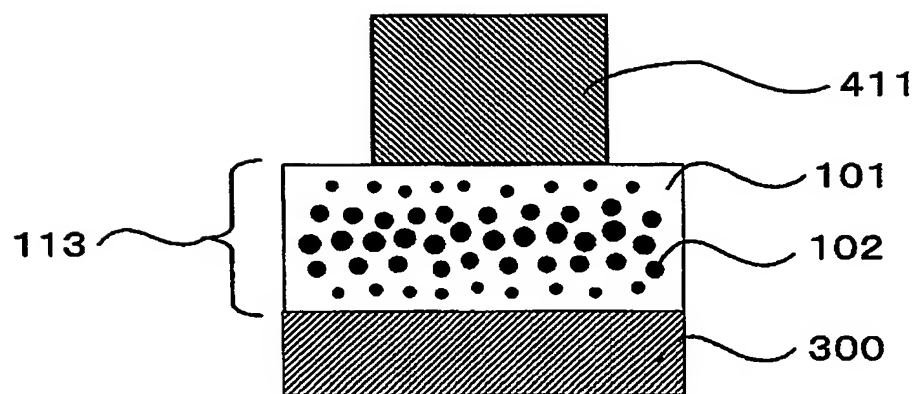
(b)



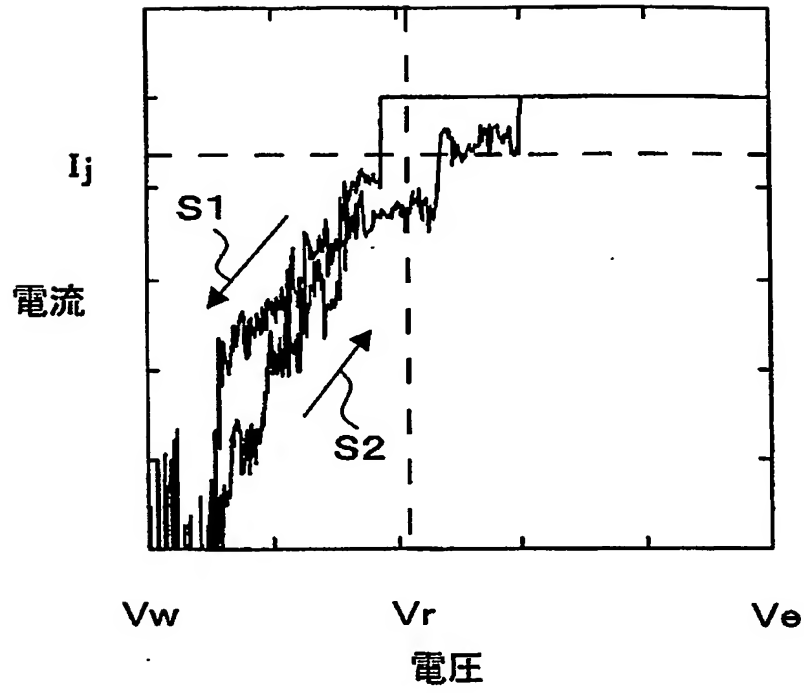
(c)



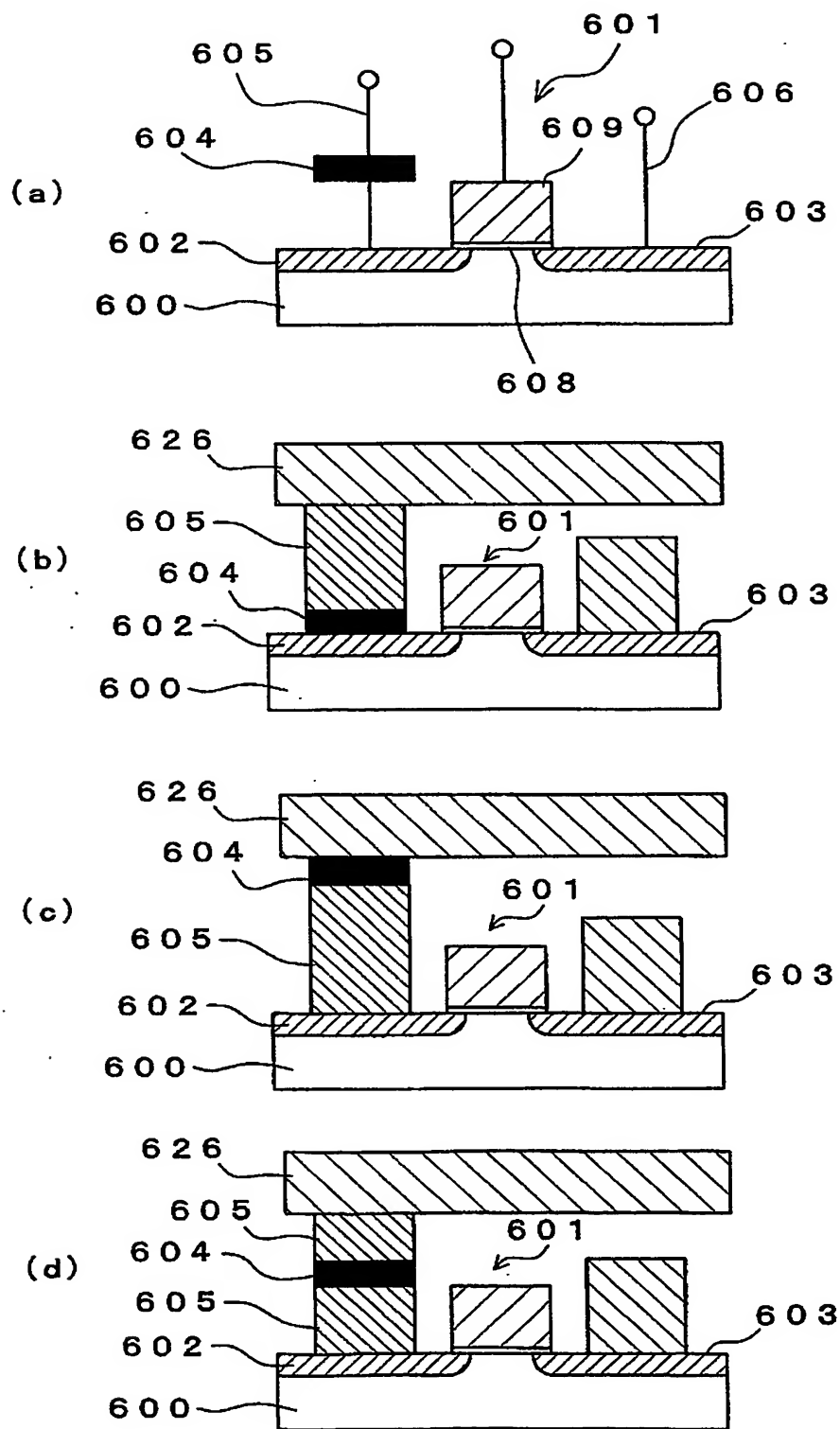
【図 4】



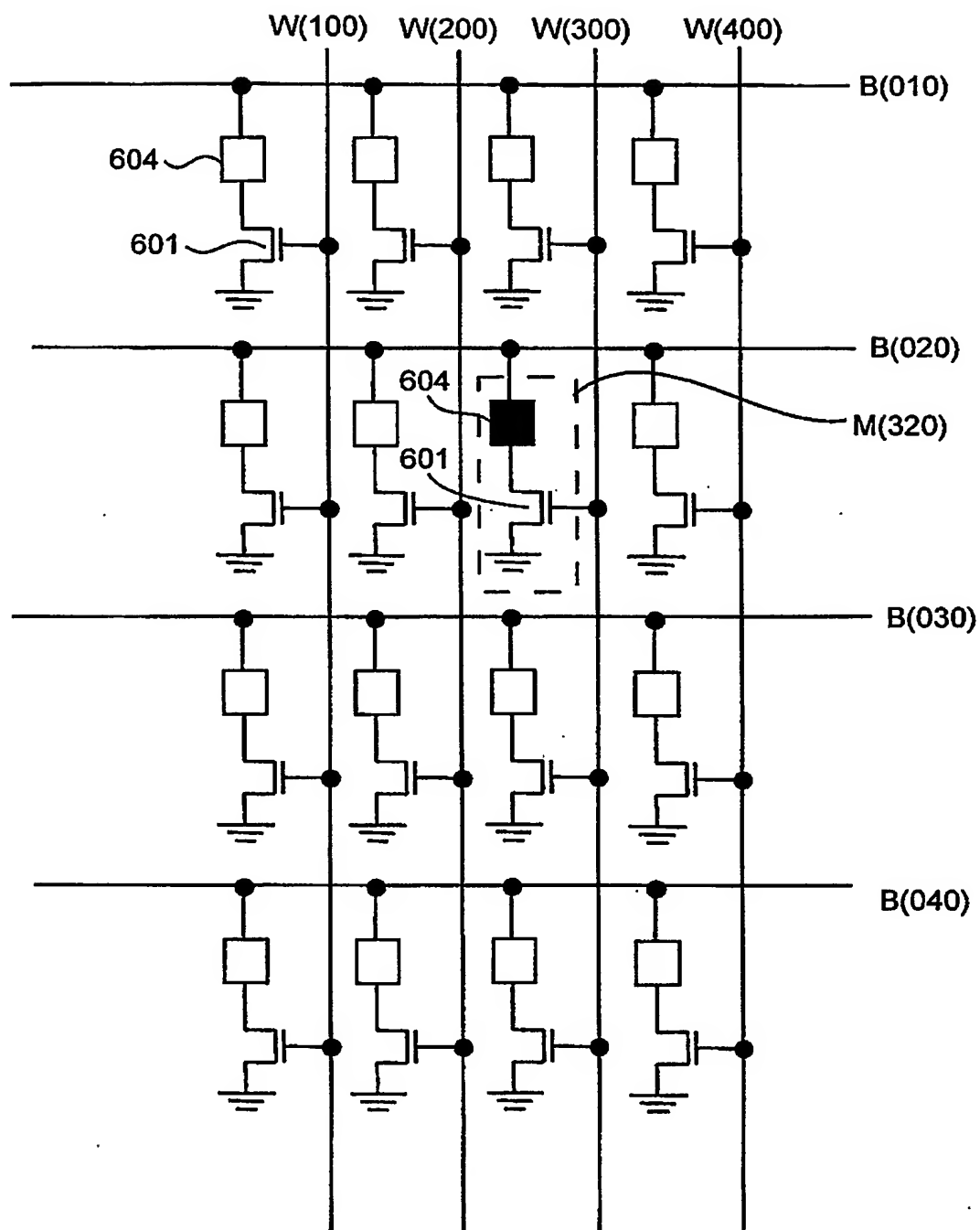
【図 5】



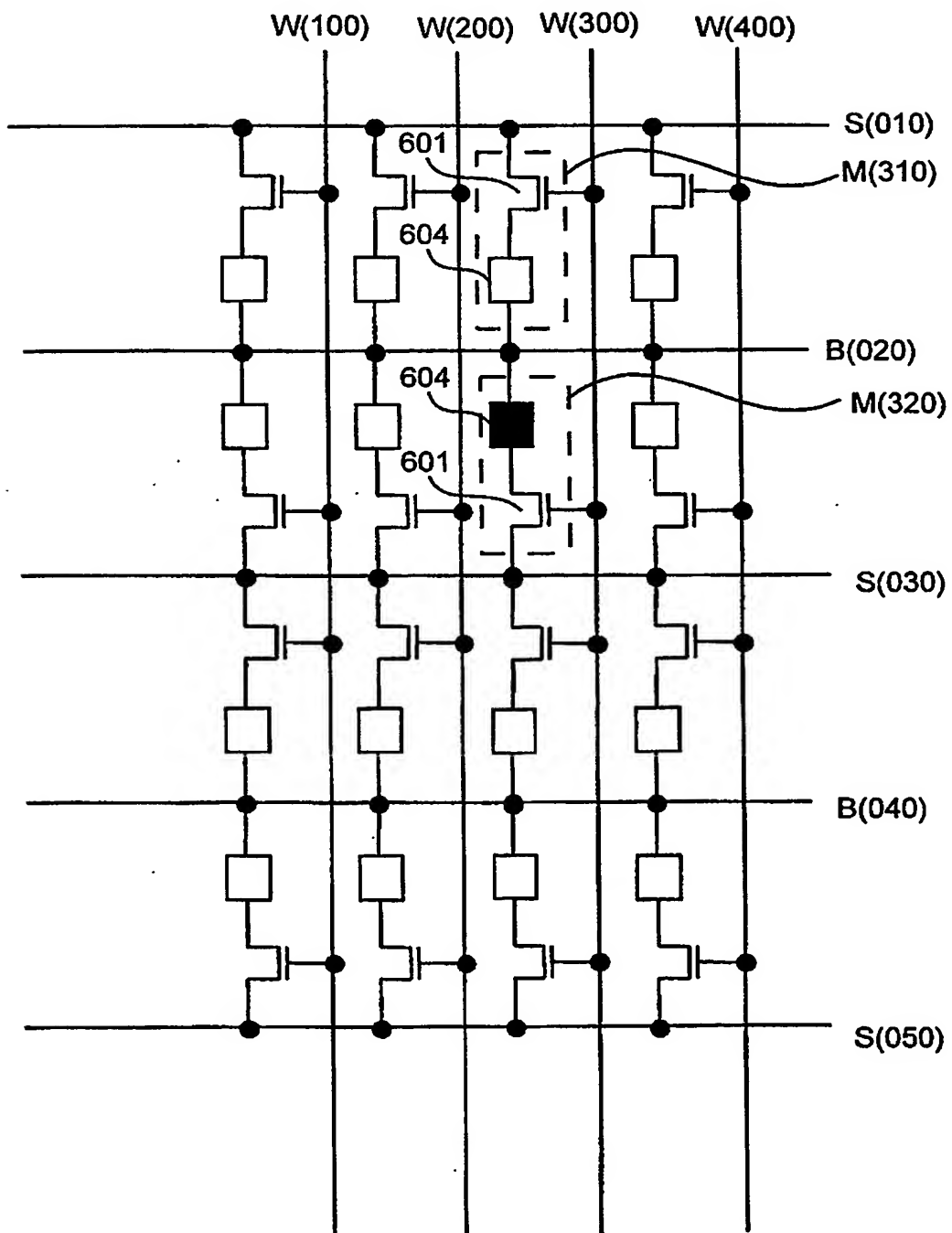
【図 6】



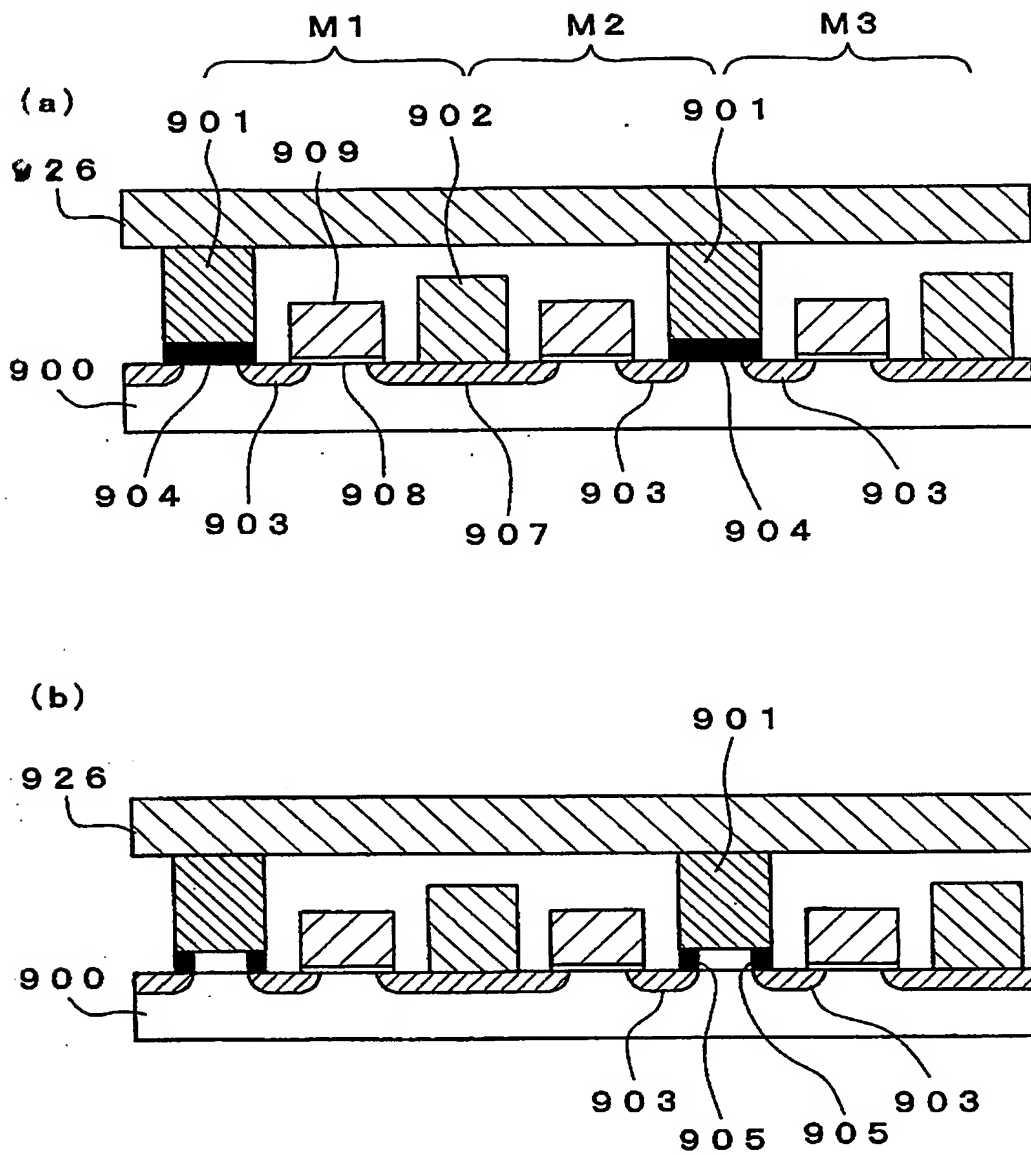
【図 7】



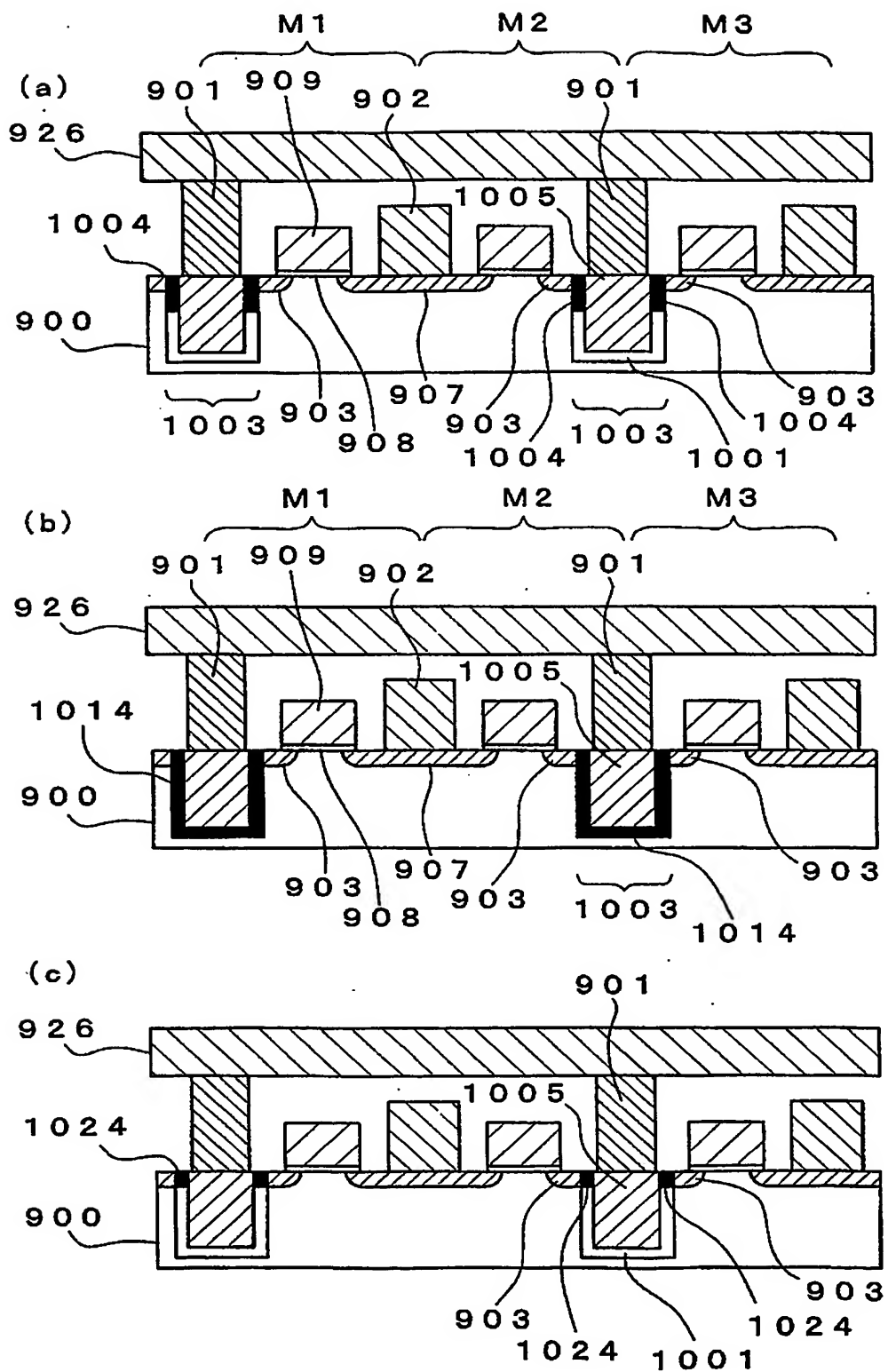
【図 8】



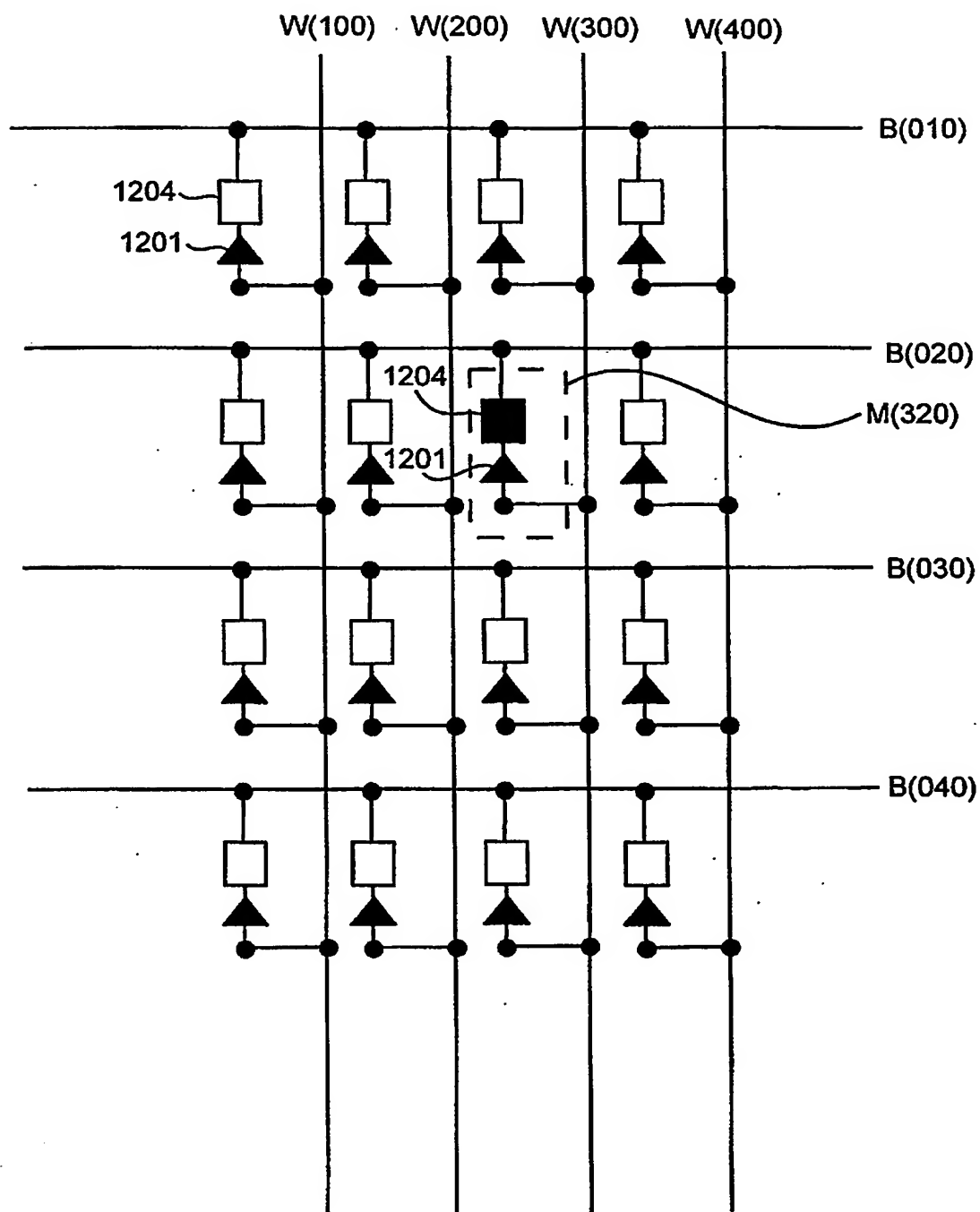
【図 9】



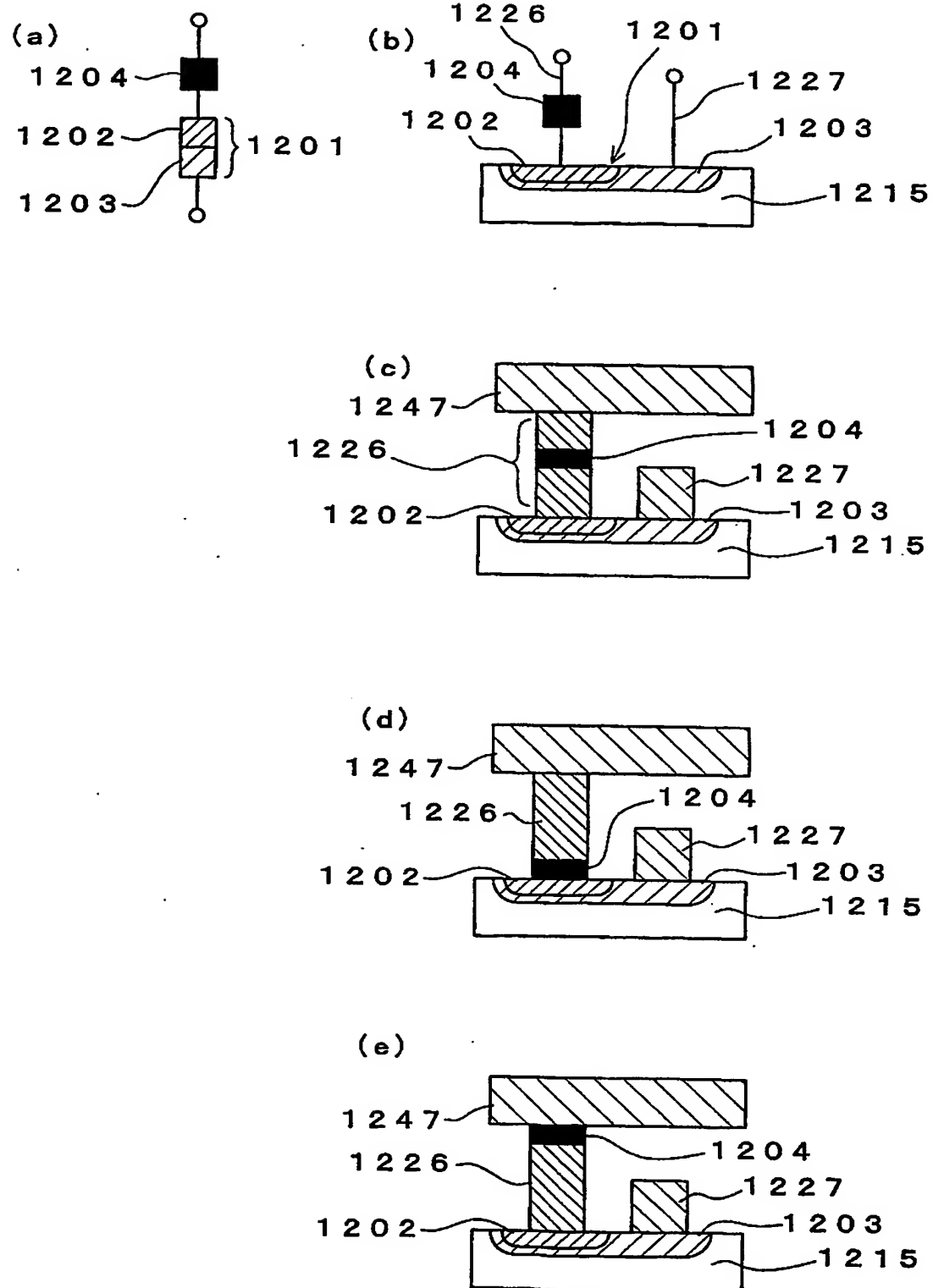
【図10】



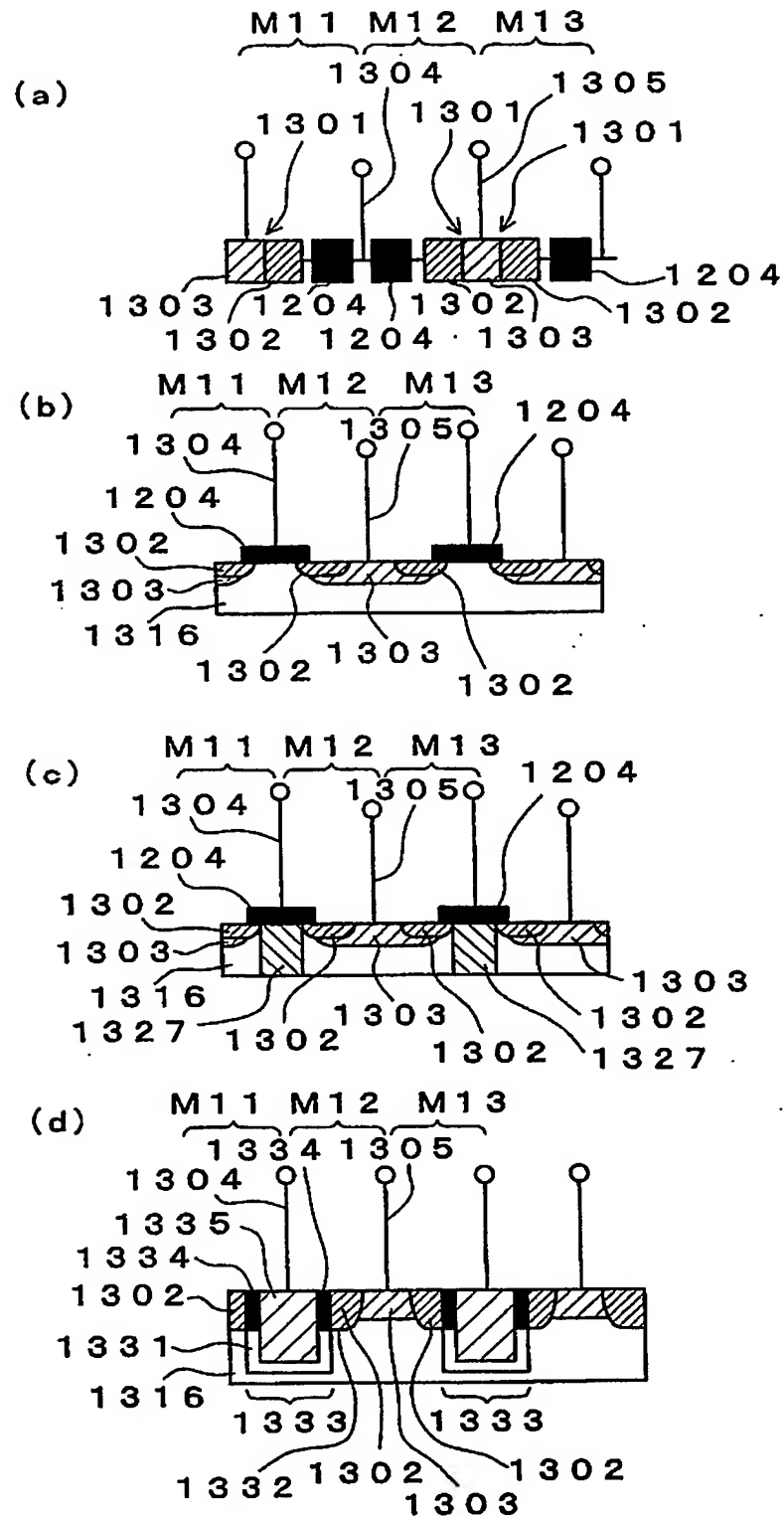
【図 11】



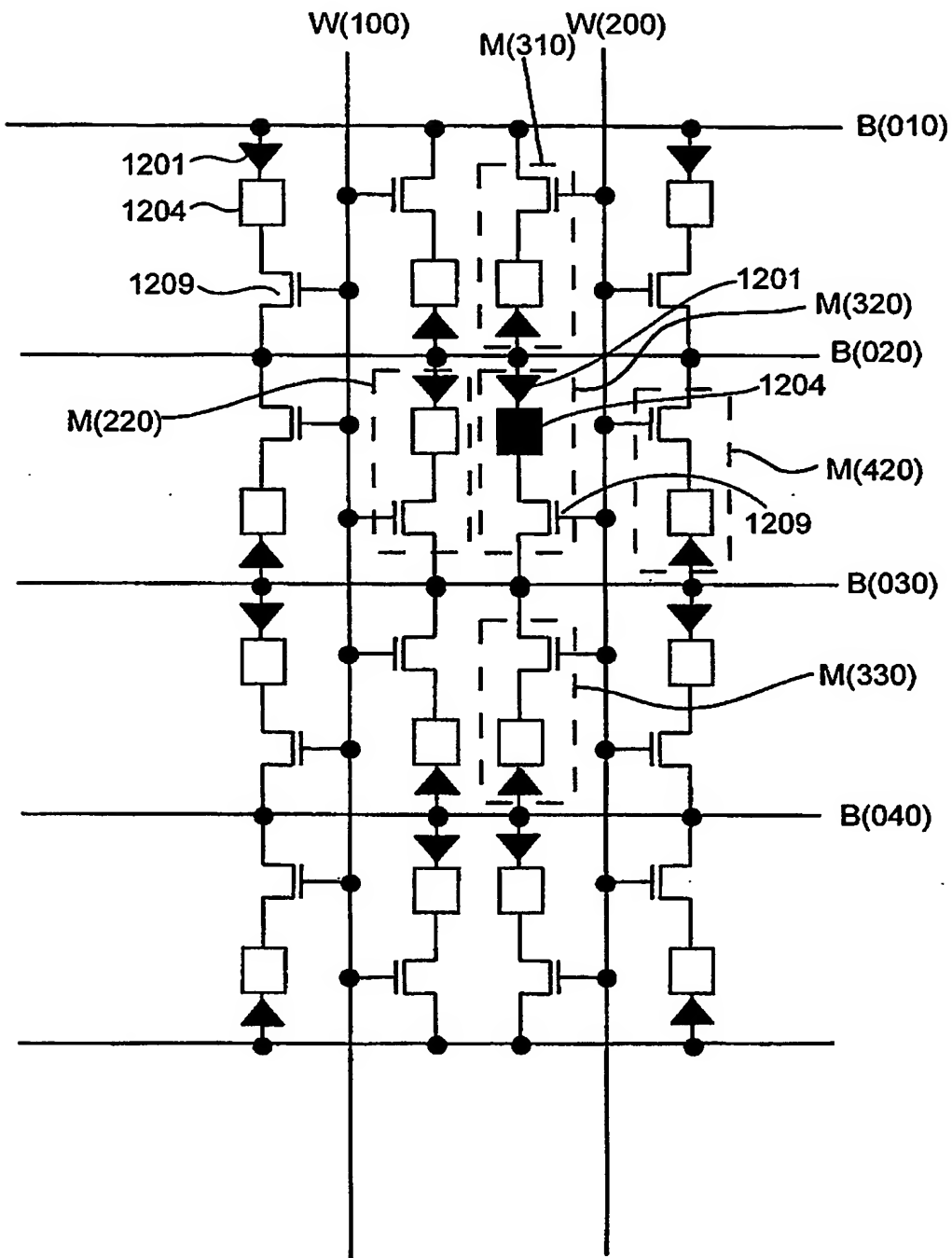
【図 12】



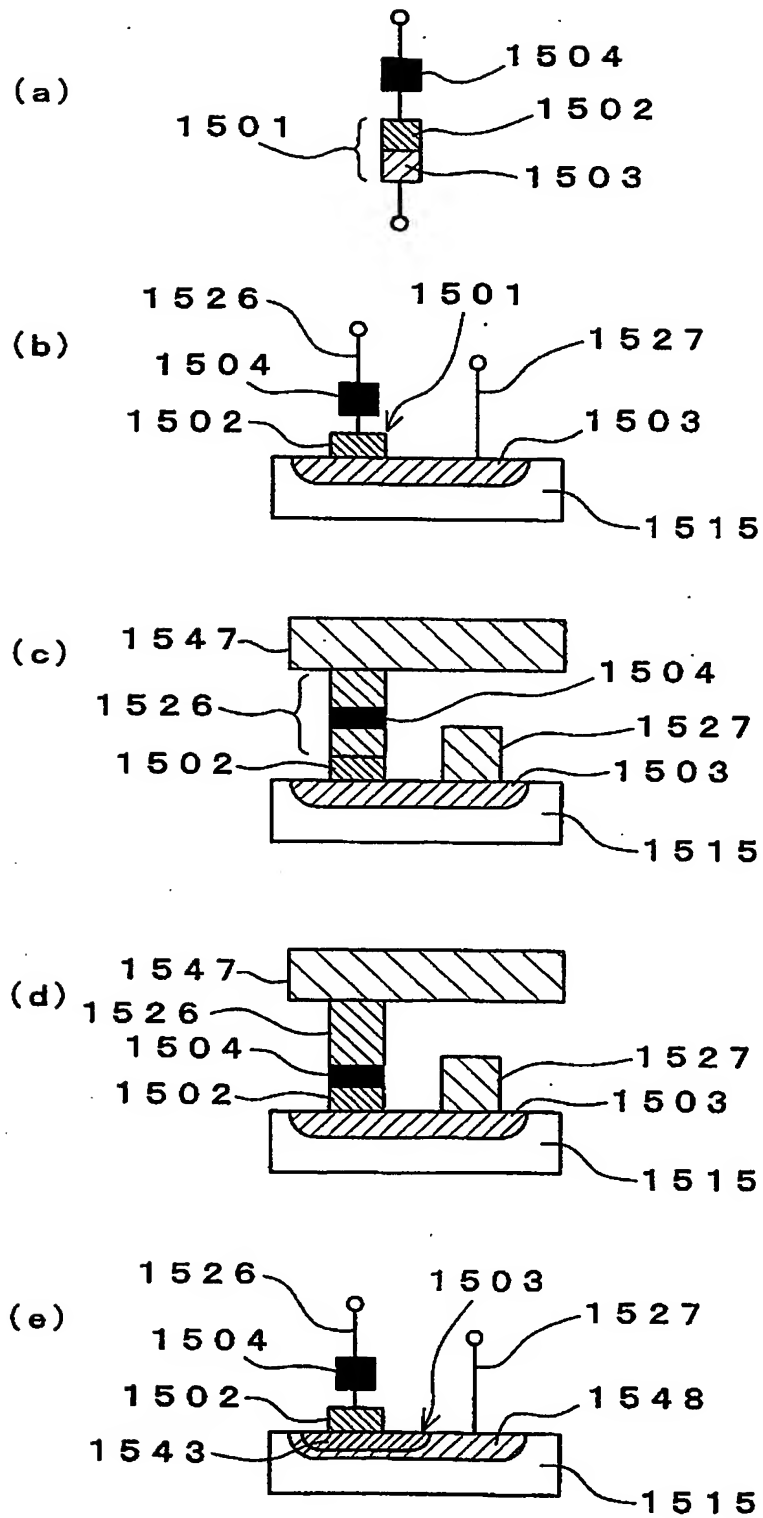
【図13】



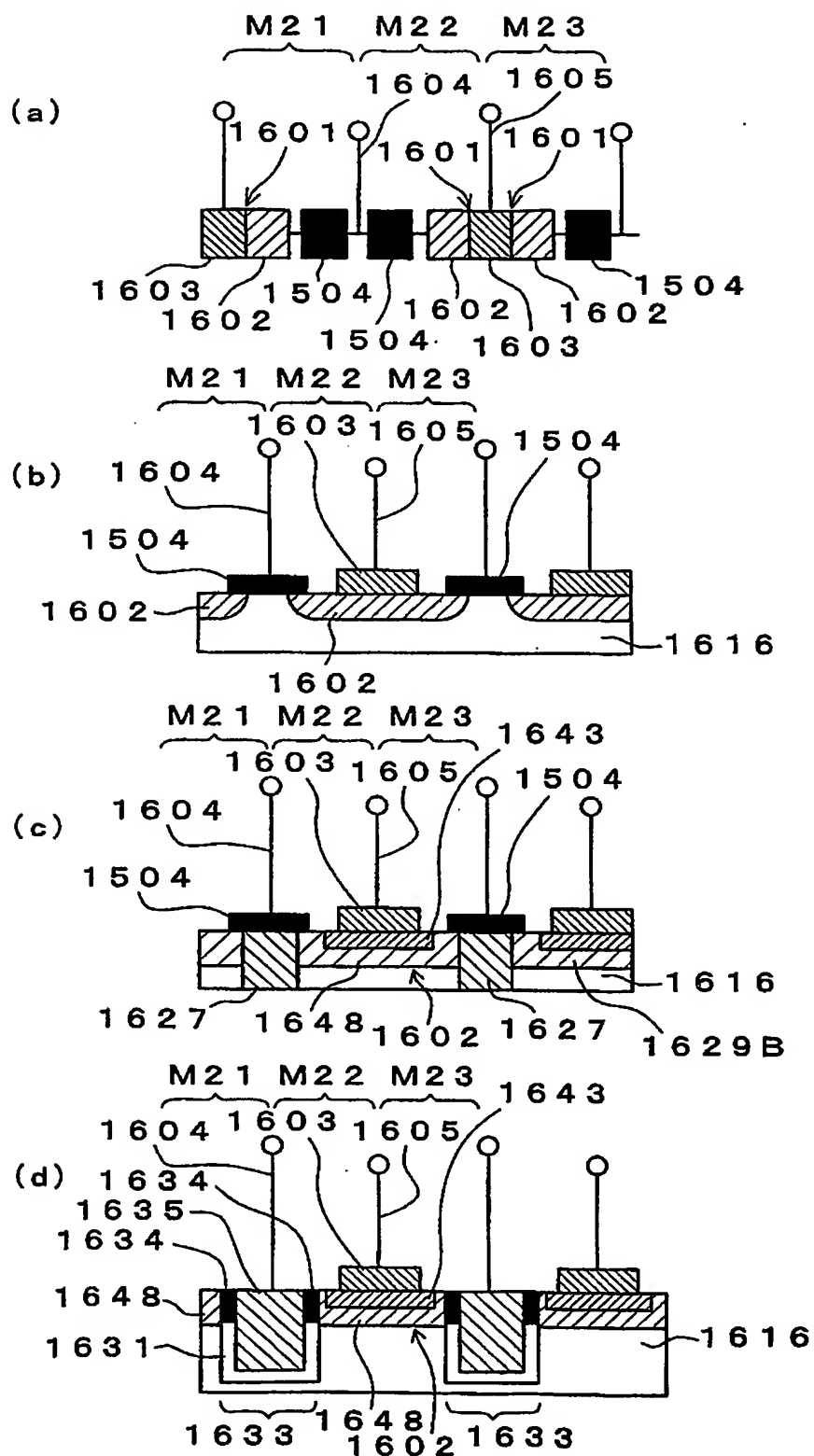
【図 14】



【図 15】

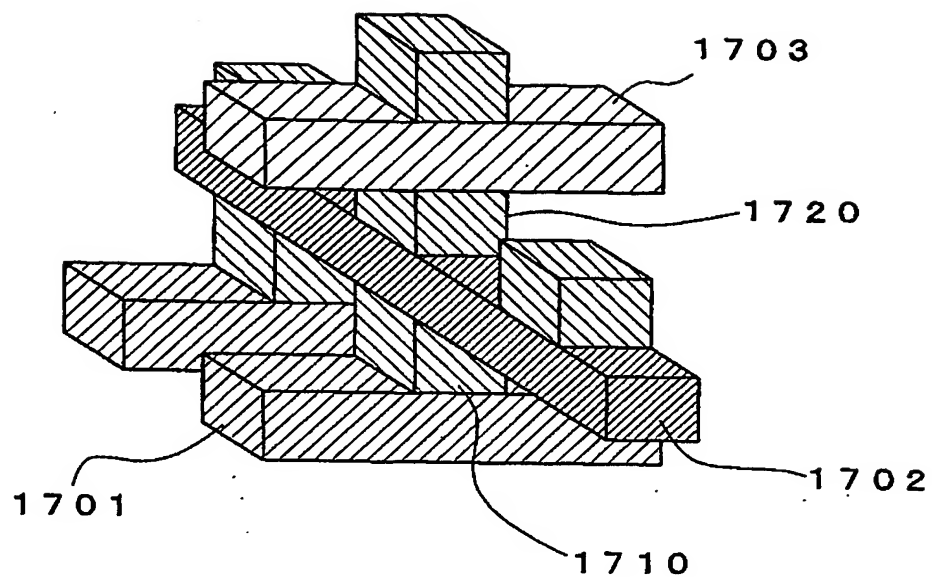


【図 16】

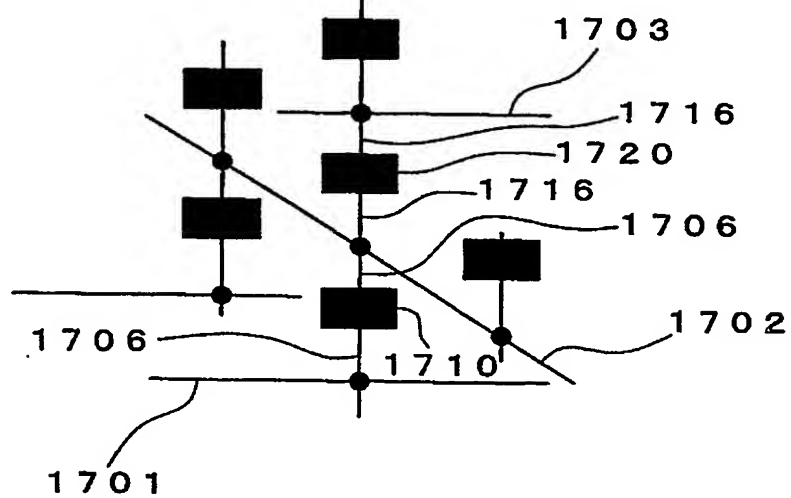


【図 17】

(a)

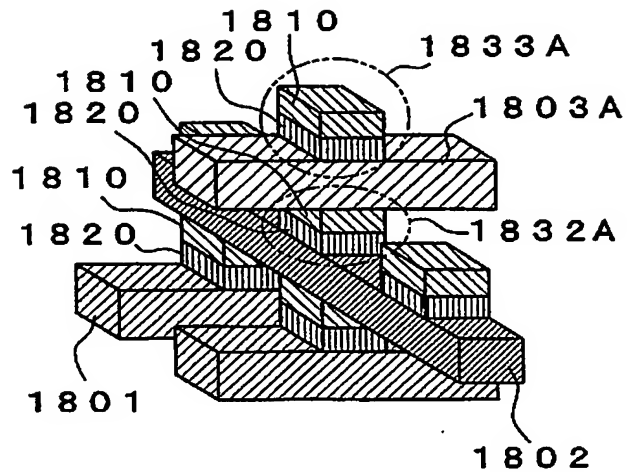


(b)

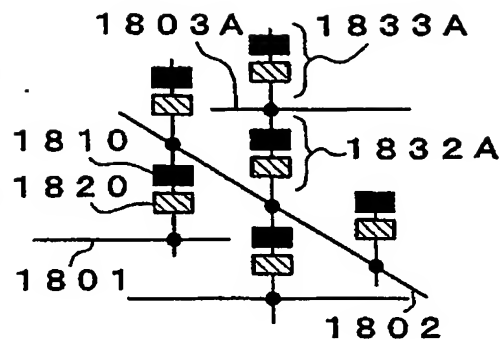


【図18】

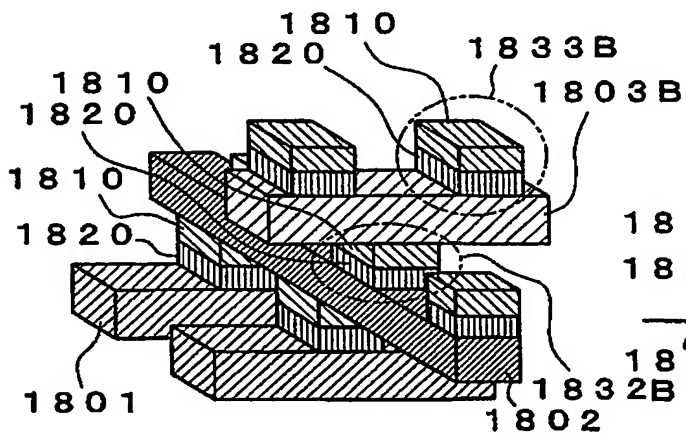
(a)



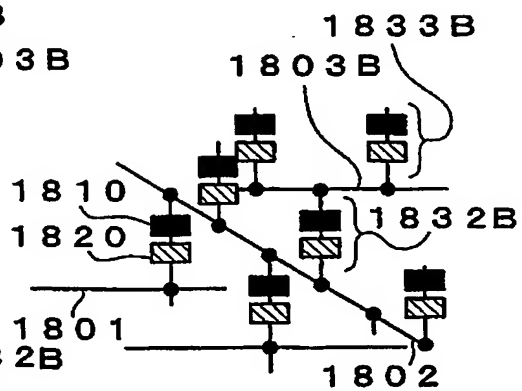
(c)



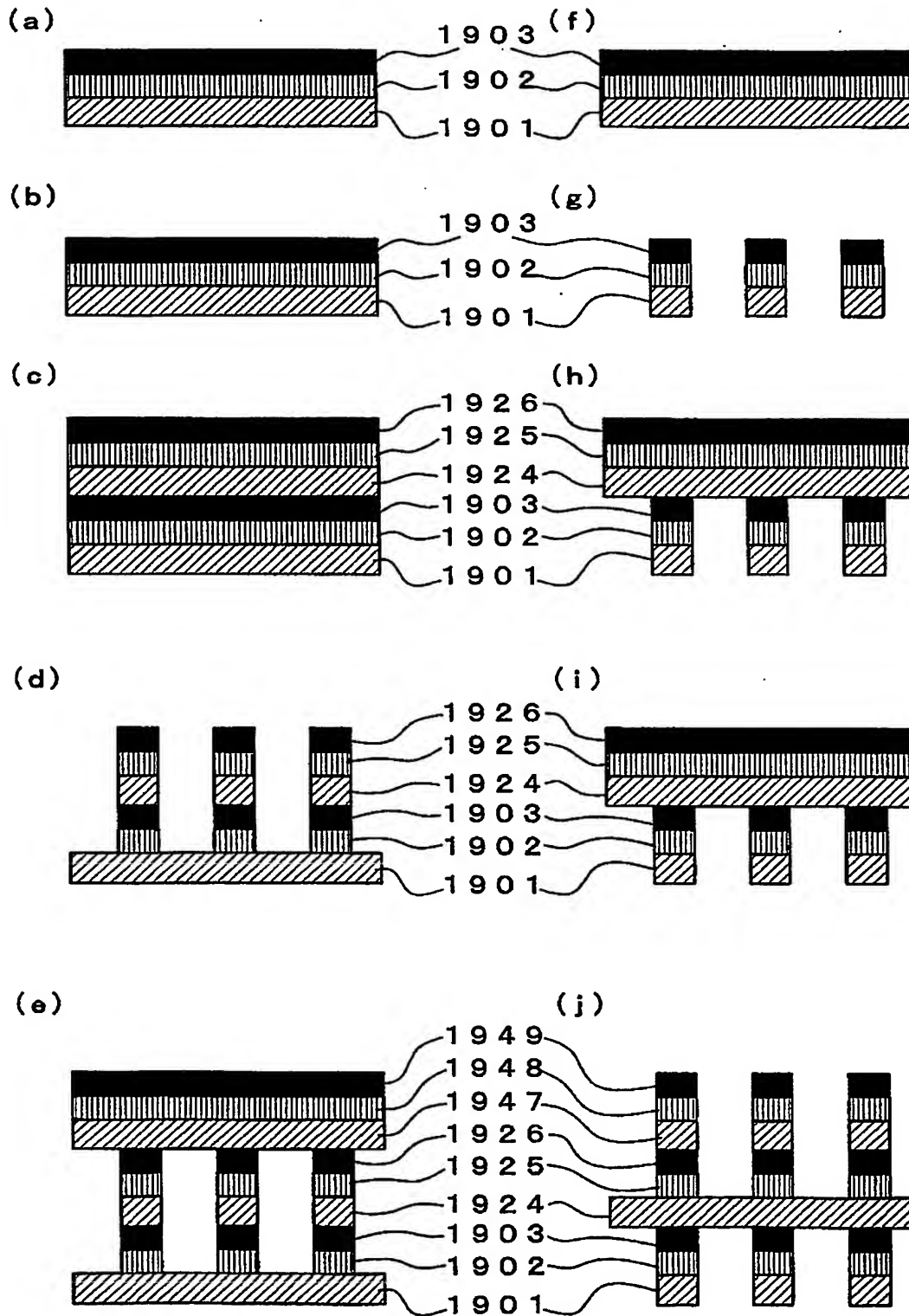
(b)



(d)

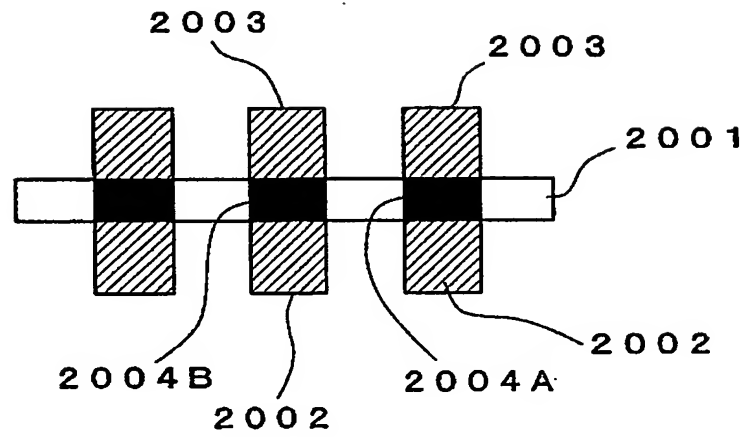


【図 19】

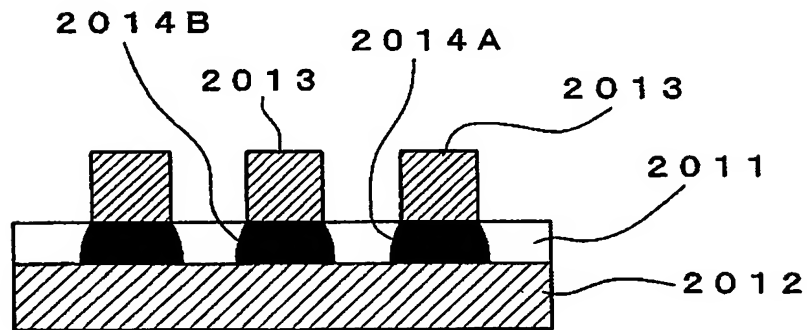


【図 20】

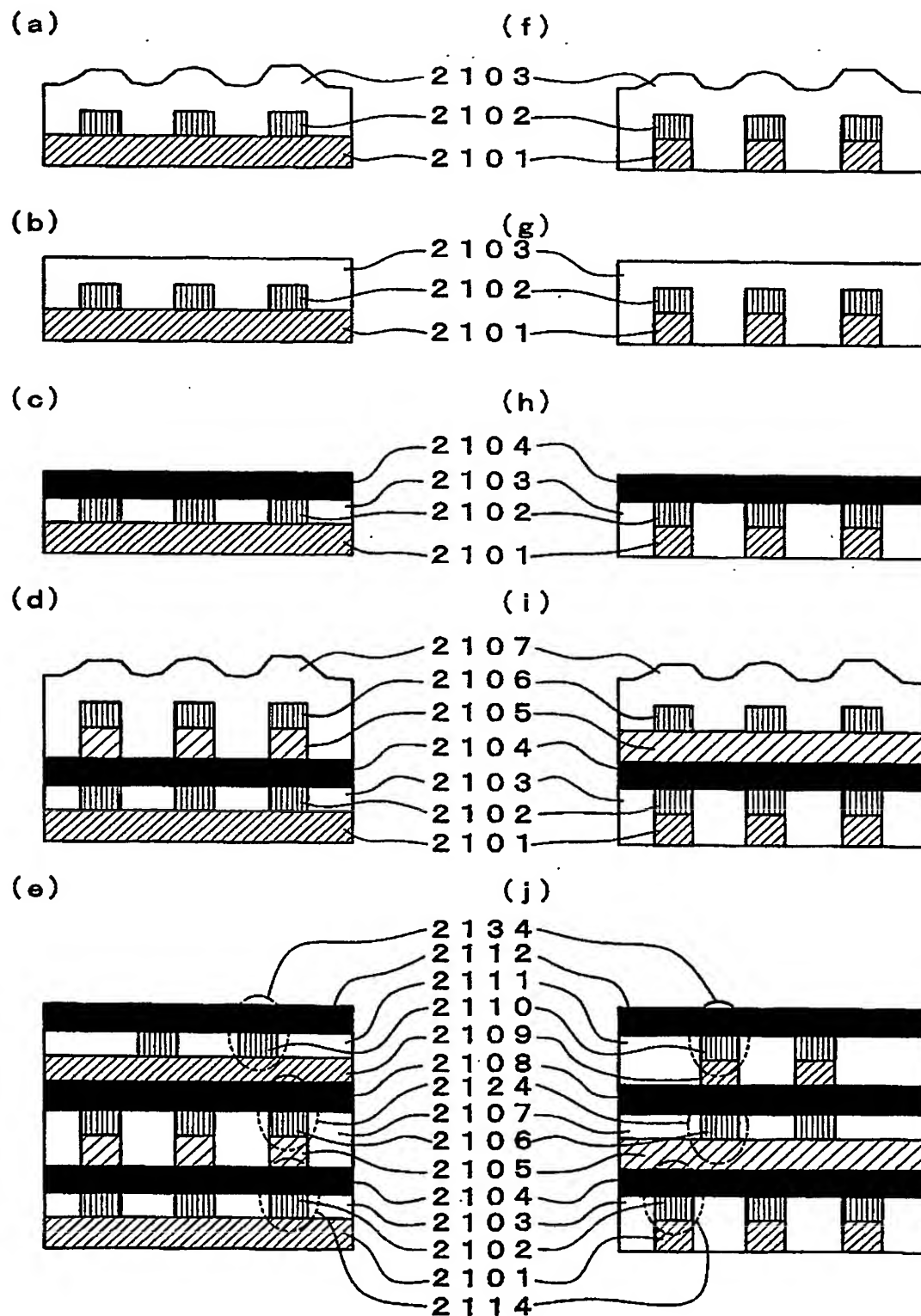
(a)



(b)



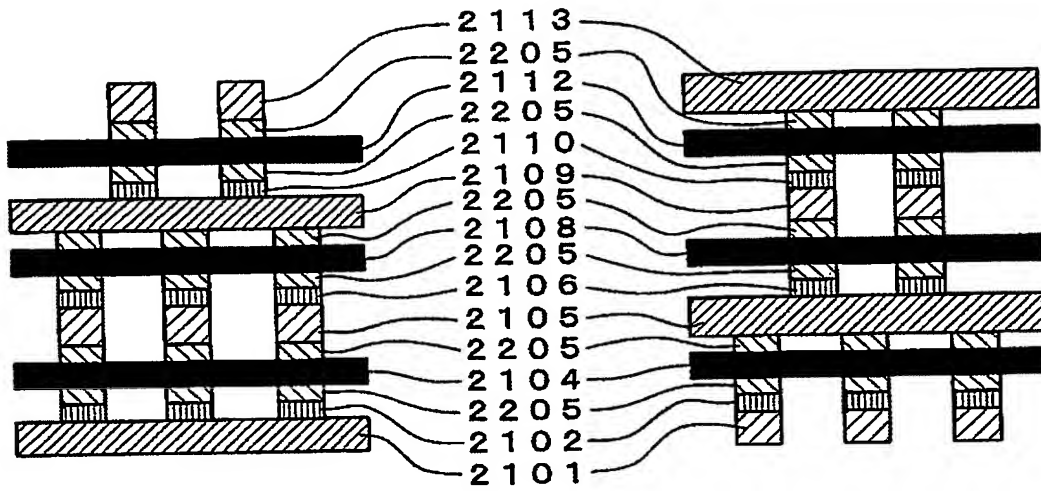
【図 21】



【図 22】

(a)

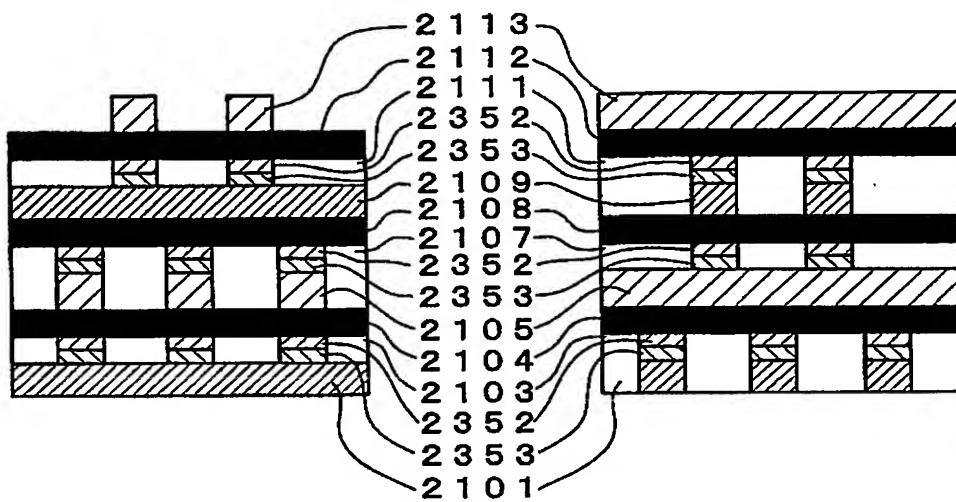
(b)



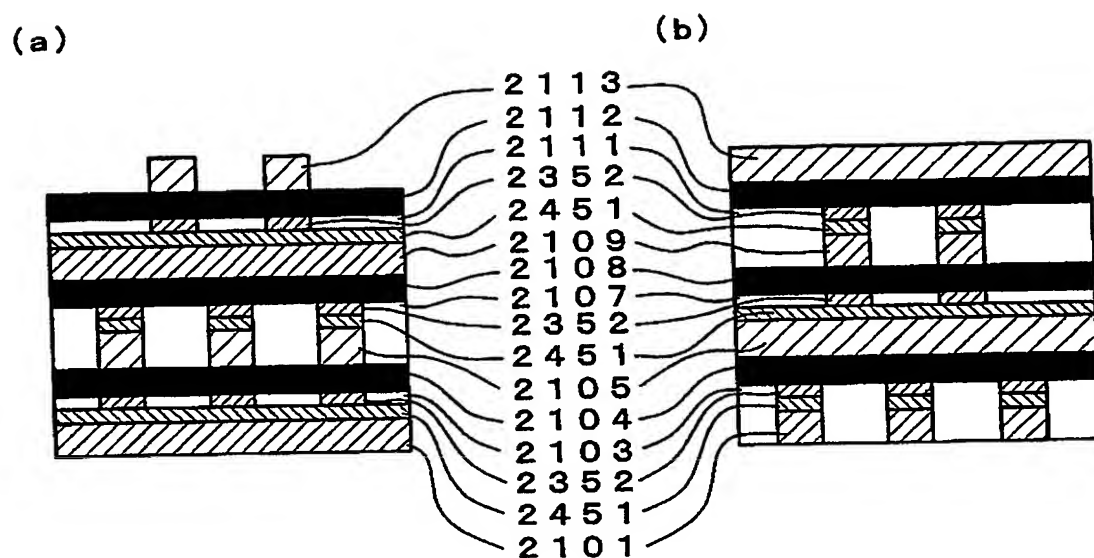
【図 23】

(a)

(b)

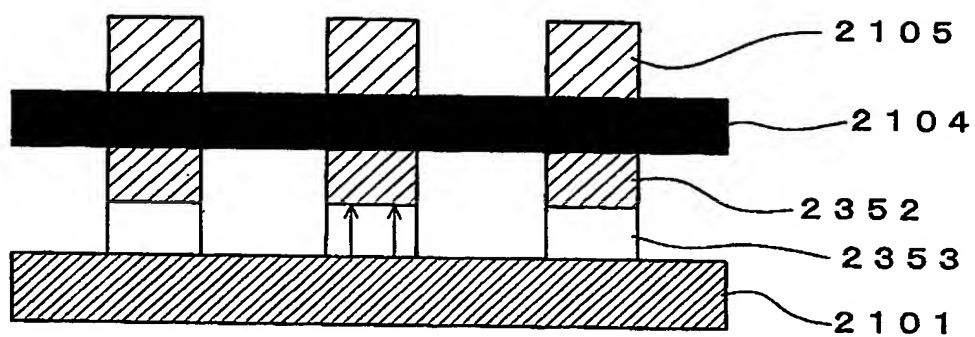


【図 24】

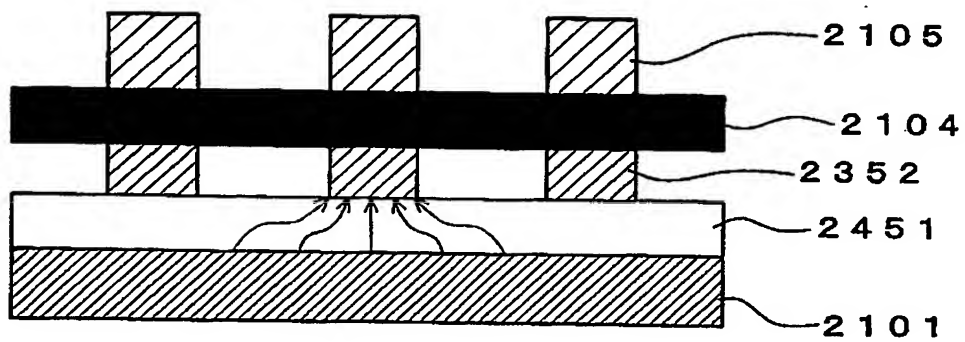


【図 25】

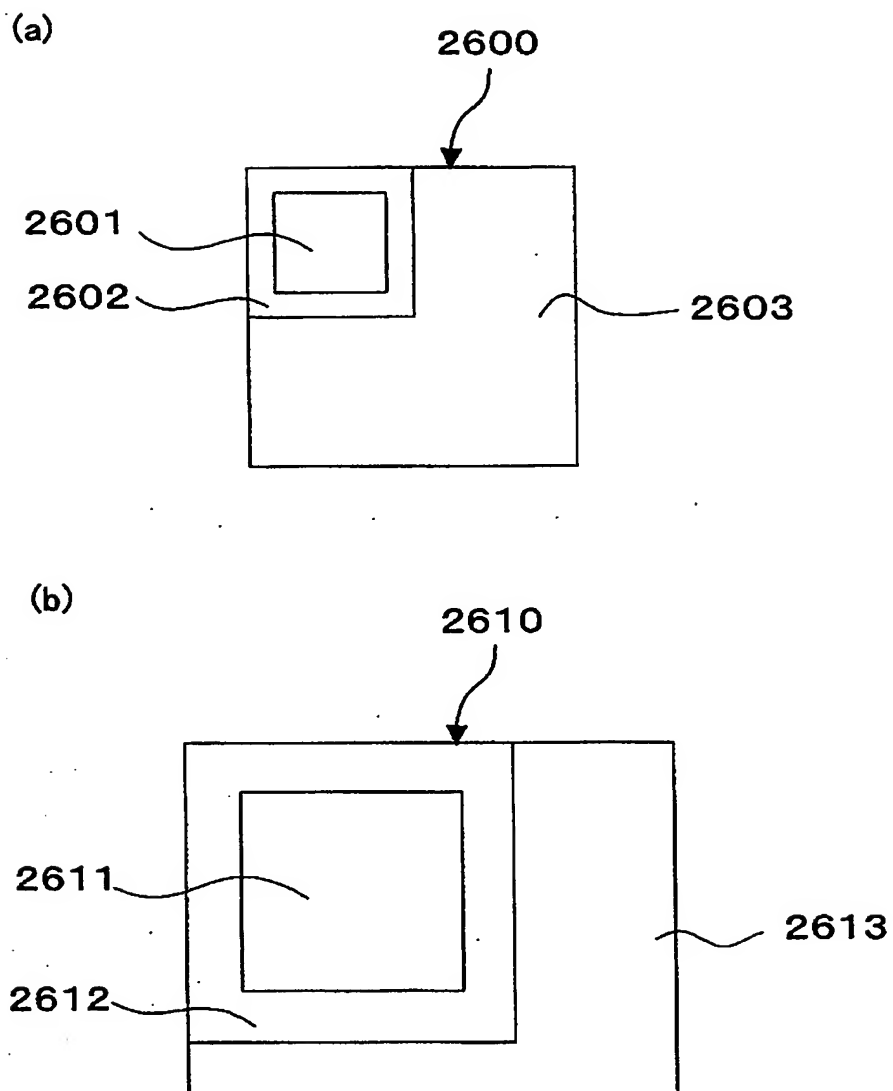
(a)



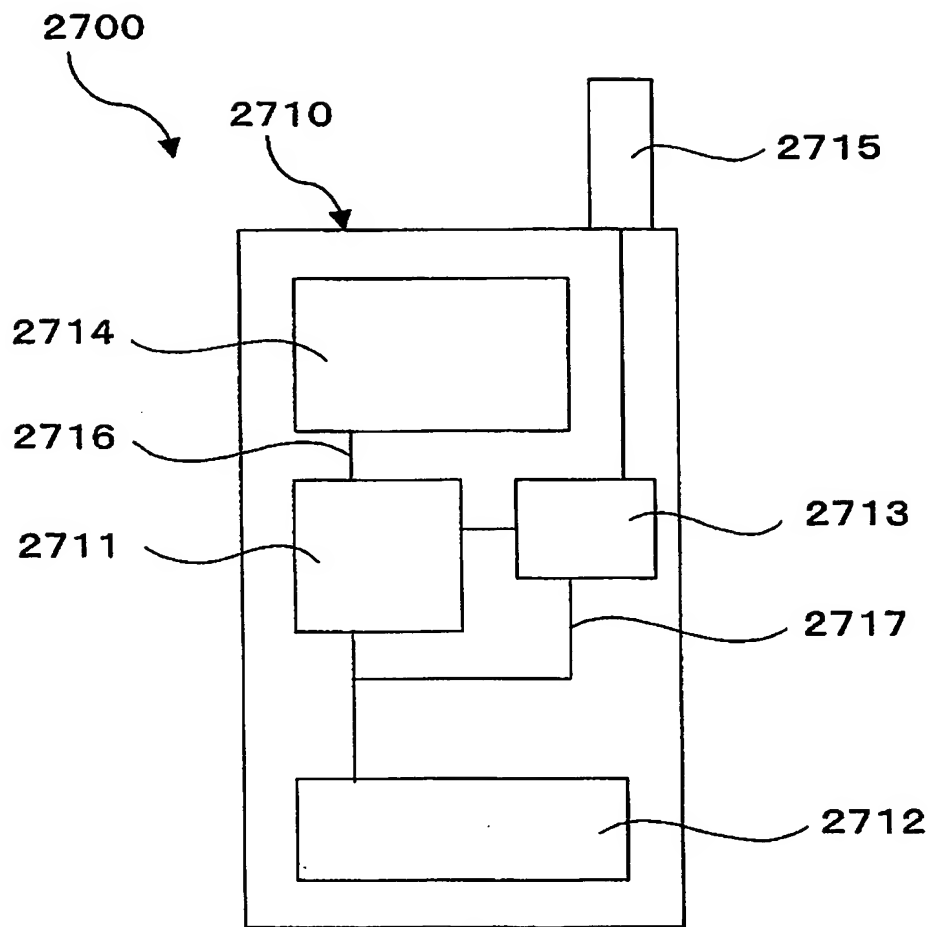
(b)



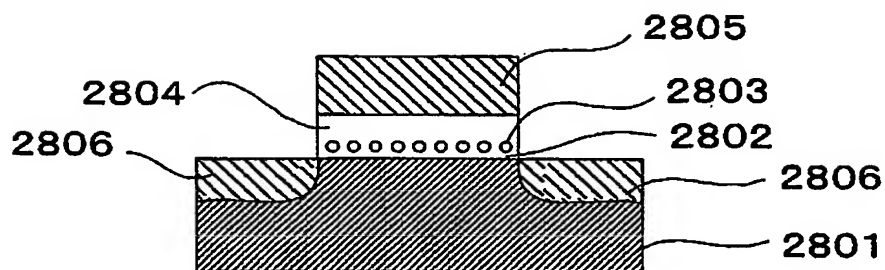
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 絶縁体中に複数の導電性微粒子を含むメモリ機能体を備えたメモリであって実用性があるものを提供すること。

【解決手段】 第1の電極111と第2の電極112との間に、絶縁体101中に複数の導電性微粒子102を含むメモリ機能体113が挟まっている。第1の電極111と第2の電極112との間に所定の電圧を印加した前後で、メモリ機能体113を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、絶縁体101中に導電性微粒子102が分布している。

【選択図】 図1

特願 2 0 0 2 - 2 7 3 3 7 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社